



SiC MOSFET: 栅极驱动优化

SiC MOSFET： 栅极驱动优化

摘要

对于高压开关电源应用，碳化硅或 SiC MOSFET 与传统硅 MOSFET 和 IGBT 相比具有显著优势。开关超过 1,000 V 的高压电源轨以数百 kHz 运行并非易事，即使是最好的超结硅 MOSFET 也难以胜任。IGBT 很常用，但由于其存在“拖尾电流”且关断缓慢，因此仅限用于较低的工作频率。因此，硅 MOSFET 更适合低压、高频操作，而 IGBT 更适合高压、大电流、低频应用。SiC MOSFET 很好地兼顾了高压、高频和开关性能优势。它是电压控制的场效应器件，能够像 IGBT 一样进行高压开关，同时开关频率等于或高于低压硅 MOSFET 的开关频率。

SiC MOSFET 具有独特的栅极驱动要求。一般来说，它在导通期间需要一个 20 V、 V_{DD} 栅极驱动来提供尽可能低的导通电阻。与对应的硅器件相比，它具有更低的跨导、更高的内部栅极电阻，且栅极导通阈值可低于 2 V。因此，在关断期间，栅极必须拉低至负电压（通常为 -5 V）。了解和优化栅极驱动电路对可靠性和整体开关性能具有非常大的影响。

本文重点介绍了 SiC MOSFET 特有的器件特性，并介绍了栅极驱动优化设计的关键需求，以最大限度地提高 SiC 开关性能。另外还将讨论系统级考虑因素，例如启动、故障保护和稳态切换。

引言

碳化硅 (SiC) 属于宽禁带 (WBG) 半导体材料系列，用于制造分立功率半导体。如表 1 所示，传统硅 (Si) MOSFET 的带隙能量为 1.12 eV，而 SiC MOSFET 的带隙能量则为 3.26 eV。

SiC 和氮化镓 (GaN) 具有更宽的带隙能量，意味着将电子从价带移动到导带需要大约 3 倍的能量，从而使材料的表现更像绝缘体而不像导体。这使得 WBG 半导体能够承受更高的击穿电压，其击穿场稳健性是硅的 10 倍。对于给定的额定电压，较高的击穿场可以减小器件的厚度，从而转化为较低的导通电阻和较高的电流能力。SiC 和 GaN 都具有与硅相同数量级的迁移率参数，这使得两种材料都非常适合高频开关应用。然而，与硅和 GaN 相比，SiC 最与众不同的参数是其热导率高出 3 倍以上。对于给定的功耗，较高的热导率将转化为较低的温升。商用 SiC MOSFET 的最高保证工作温度为 $150^{\circ}\text{C} < T_j < 200^{\circ}\text{C}$ 。相应地，SiC 的结温最高可以达到 600°C ，但其主要受键合和封装技术的限制。这使得 SiC 成为适用于高压、高速、高电流、高温、开关电源应用的优质 WBG 半导体材料。

表 1. 半导体材料属性

属性	硅	4H-SiC	GaN
带隙能量 (eV)	1.12	3.26	3.50
电子迁移率 (cm^2/Vs)	1400	900	1250
空穴迁移率 (cm^2/Vs)	600	100	200
击穿场 (MV/cm)	0.3	3.0	3.0
热导率 ($\text{W}/\text{cm}^{\circ}\text{C}$)	1.5	4.9	1.3
最高结温 ($^{\circ}\text{C}$)	150	600	400

SiC MOSFET 通常适用于电压范围 $650\text{ V} < B_{VDSS} < 1.7\text{ kV}$ ，主要集中在 1.2 kV 及以上。在 650 V 的较低范围内，传统的硅 MOSFET 和 GaN 优于 SiC。但是，考虑使用较低电压的 SiC MOSFET 的原因之一可能是利用其出色的热特性。

尽管 SiC MOSFET 的动态开关行为与标准硅 MOSFET 非常相似，但由于其器件特性，必须要考虑到其独特的栅极驱动要求。

SiC MOSFET 特性

跨导

开关电源中使用的硅 MOSFET 在两种工作模式或区域之间尽可能快地开关。当栅极-源极电压 V_{GS} 小于栅阈值电压 V_{TH} 时，晶体管处于高阻状态，此时被称为截止区域。在截止期间，漏极-源极电阻 R_{DS} 是高阻状态，漏极电流 $I_D = 0\text{ A}$ 。饱和区发生在 MOSFET 完全增强时，即 $V_{GS} \gg V_{TH}$ ，此时 $R_{DS(on)}$ 为最小值或接近最小值， I_D 达到最大值，晶体管处于高导通状态。如图 1 中红色轨迹所示，线性 (欧姆) 区和饱和区之间的转换非常尖锐和明显，因此一旦 $V_{GS} > V_{TH}$ ，漏极电流就会通过相对较低的 R_{DS} 。跨导 g_m 是漏极电流变化量与栅极电压变化量之比，它定义了 MOSFET 的输出-输入增益，也就是对于给定的 V_{GS} ，I-V 输出特性曲线的斜率。

$$g_m = \frac{\Delta I_d}{\Delta V_{GS}} \quad (\text{eq. 1})$$

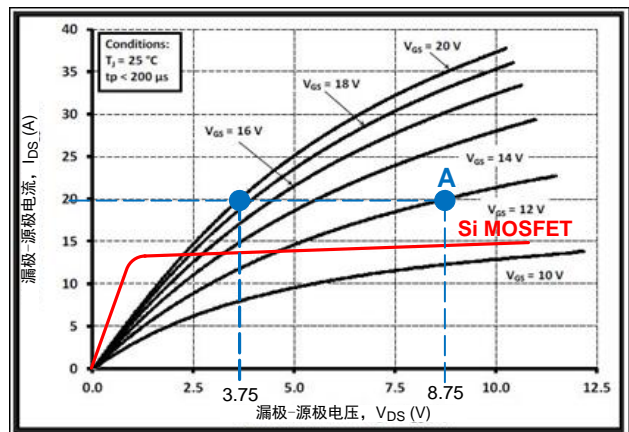


图 1. SiC MOSFET 输出特性

硅 MOSFET 的 I-V 曲线在线性区 (大 ΔI_D) 的斜率很陡峭, 而在饱和区时几乎是平的, 因此在 $V_{GS} > V_{TH}$ 时具有非常高的增益 (高 g_m)。对于给定的 V_{GS} , I_D 趋于平坦, 这意味着硅 MOSFET 在饱和时表现得很像一个非理想的电流源。相反, 在图 1 中显示的输出特性曲线可以看出, SiC MOSFET 在线性和饱和工作模式之间的转换并不剧烈。事实上, 没有定义的“饱和区”, 从这个角度看, SiC MOSFET 的行为更像可变电阻而不是非理想的电流源。SiC MOSFET 的 I-V 输出特性未表现出小 ΔV_{GS} 时出现大 ΔI_D , 因此, SiC MOSFET 被认为是低增益 (低 g_m) 器件。

$$I_D = g_m \times (V_{GS} - V_{TH}) \quad (\text{eq. 2})$$

唯一弥补低增益并强制大幅改变 I_D 的方法是施加非常大的 V_{GS} , 这对 R_{DS} 有很大影响。为了进一步说明这一点, 请考虑图 1 中标记为 A 和 B 的两个工作点。

$$R_{DS(A)} = \frac{8.75 \text{ V}}{20 \text{ A}} = 438 \text{ m}\Omega, (V_{GS} = 12 \text{ V}) \quad (\text{eq. 3})$$

$$R_{DS(B)} = \frac{3.75 \text{ V}}{20 \text{ A}} = 188 \text{ m}\Omega, (V_{GS} = 20 \text{ V}) \quad (\text{eq. 4})$$

当 $V_{GS} = 12 \text{ V}$ 时, 固定的漏极电流 $I_D = 20 \text{ A}$ 会导致 $V_{DS} = 8.75 \text{ V}$, 而当 V_{GS} 增加到 20 V 时, $V_{DS} = 3.75 \text{ V}$ 。将公式 (3) 和 (4) 的结果进行比较, 可以发现在 $V_{GS} = 12 \text{ V}$ 时电阻和导通损耗是在 $V_{GS} = 20 \text{ V}$ 时的 2.3 倍。

因此, 当施加的最大栅极-源极电压在 $18 \text{ V} < V_{GS} < 20 \text{ V}$ 之间时, SiC MOSFET 的性能最佳, 有些甚至可以高达 $V_{GS} = 25 \text{ V}$ 。SiC MOSFET 在低 V_{GS} 下运行可能会导致热应力或可能由于高 R_{DS} 而导致故障。与低 g_m 相关的缓解效应非常重要。它直接影响在设计合适的栅极驱动电路时必须考虑的几个重要动态特性: 特别是导通电阻、栅极电荷 (米勒平台区域) 和过流 (DESAT) 保护。

导通电阻

作为 WBG 半导体, SiC MOSFET 在给定电压下每单位面积的导通电阻较低。MOSFET 的导通电阻由几个内部的、与 V_{GS} 有关的电阻元件组成。最值得注意的是通道电阻 (R_{CH})、JFET 电阻和漂移区域电阻 (R_{DRIFT})。 R_{CH} 具有负温度系数 (NTC), 在较低的 V_{GS} 下占据了 R_{DS} 的主导地位。相反, R_J 和 R_{DRIFT} 具有正温度系数 (PTC), 在较高的 V_{GS} 水平上占主导地位。对于 $V_{GS} > 18 \text{ V}$, 导通电阻具有明显的 PTC 特性。然而, 在较低的 V_{GS} 下, 导通电阻与结温特性呈现抛物线形状, 如图 2 所示。具体而言, 在 $V_{GS} = 14 \text{ V}$ 时, R_{CH} 占主导地位, R_{DS} 呈现出 NTC 特性, 即电阻随温度升高而降低。这种 SiC MOSFET 的特性直接归因于其低 g_m 。对于硅 MOSFET, 只要 $V_{GS} > V_{TH}$, R_{DS} 始终具有 PTC 特性。

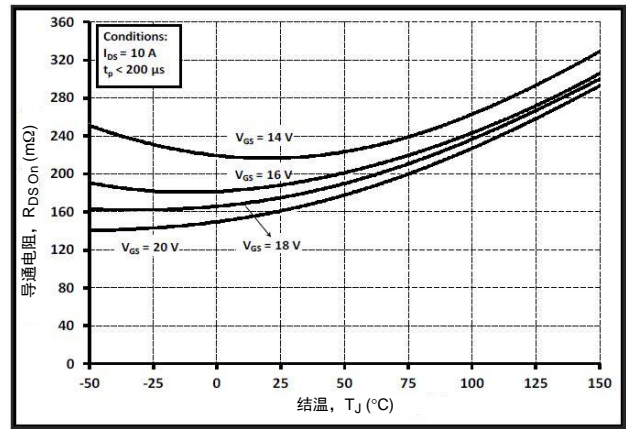


图 2. SiC MOSFET 导通电阻与结温

对于大多数大电流应用案例, 当两个或更多 MOSFET 并联放置时, PTC 属性在很大程度上依赖于均流。在并联运行期间, 当一个 MOSFET 的结温升高时, PTC 会导致 R_{DS} 增加、电流降低并迫使并联 MOSFET 承受额外的电流, 直到出现自然平衡。如果两个或多个 SiC MOSFET 并联放置, 同时以低 V_{GS} (负 NTC) 电压工作, 结果将是灾难性的。因此, 为确保可靠的 NTC 操作, 只有当 V_{GS} 足够高 (通常 $V_{GS} > 18 \text{ V}$) 时才建议使用 SiC MOSFET 之间的并联操作。

内部栅极电阻

内部栅极电阻 R_{GI} 与芯片尺寸成反比, 对于给定的击穿电压, 由于 SiC MOSFET 芯片与硅 MOSFET 芯片相比小得多, 内部栅极电阻往往更高。更小的 SiC MOSFET 芯片的真正好处在于更低的输入电容 C_{ISS} , 这意味着所需的栅极电荷 Q_G 更低。表 2 重点介绍了两个不同制造商的 SiC MOSFET (SiC_1 和 SiC_2) 和两个出色的 900-V 和 650-V 超级结 Si MOSFET (Si_1 和 Si_2) 之间的几个重要参数比较。

表 2. 半导体材料属性

III.	SiC_1	SiC_2	Si_1 SJ FET	Si_2 SJ FET
BV_{DSS} (V)	1200	1200	900	650
I_D (A)	19	22	36	15
R_{DS} (mΩ)	160	160	120	130
Q_G (nC)	34	62	270	35
Q_{GD} (nC)	14	20	115	11
C_{ISS} (pF)	525	1200	6800	1670
C_{OSS} (pF)	47	45	330	26
V_{GS} (V)	-5 至 20	-6 至 22	±20	±20
$V_{GS(TH)}$ (V)	2.5	2.8	3	3.5
R_{GI} (Ω)	6.5	13.7	0.9	1
$R_{GI} \times C_{ISS}$ (ns)	221	850	243	35

从栅极驱动的角度来看，比较 $R_{GI} \times C_{ISS}$ 时间常数是很有意义的。Si_2 器件具有极低的 35 ns 时间常数，但也是一个额定电流较低、额定电压较低的 MOSFET。出于比较目的，650-V、Si_2 MOSFET 很值得关注，因为 1200-V、SiC_1 样品的参数与之非常接近，但具有明显较低的 C_{ISS} 和几乎两倍的额定 B_{VDSS} 。在 B_{VDSS} 方面，Si_1 样品与两个 SiC 样品之间更为接近。由于 SiC_1 的 Q_G 较低，因此 Si_1 和 SiC_1 之间的时间常数非常接近，即使 SiC_1 的内部栅极电阻是 Si_1 的 7 倍。

内部栅极电阻限制了可以注入 C_{ISS} 的栅极驱动电流。高性能 SiC 栅极驱动电路需要提供极低的输出阻抗，这样驱动器就不会因为已经很高的 R_{GI} 而成为限制因素。这使得设计人员可以通过增加或减少外部栅极电阻来更加自由地控制 V_{DS} 和 dV/dt 的转换。

栅极电荷

当施加 V_{GS} 时，会传输一定量的电荷，以尽可能地改变在 $V_{GS(MIN)}$ (V_{EE}) 和 $V_{GS(MAX)}$ (V_{DD}) 之间变化的栅极电压。由于 MOSFET 内部电容是非线性的，因此 V_{GS} 与栅极电荷 (Q_G) 曲线有助于确定对于给定的 V_{GS} 水平需要传递多少电荷。SiC MOSFET 的典型栅极电荷曲线如图 3 所示。

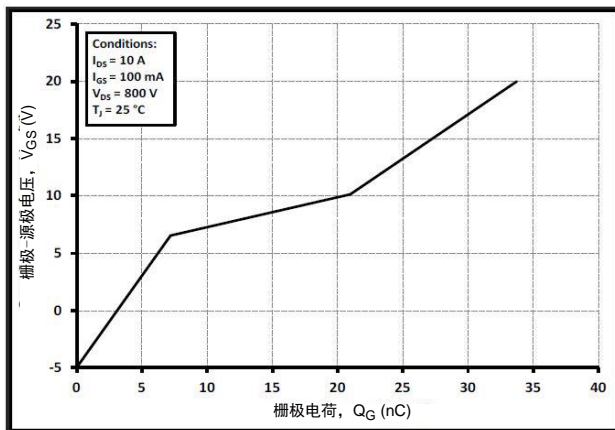


图 3. SiC MOSFET，栅极-源极电压与栅极电荷

有趣的是，SiC MOSFET 的米勒平台区域出现在更高的 V_{GS} ，并且不像硅 MOSFET 那样平坦。一个非平坦的米勒平台区域意味着 V_{GS} 在相应的电荷范围 Q_G 内不是恒定的。这是与 SiC MOSFET 相关的低 g_m 引起的另一个结果。还值得注意的是， $Q_G = 0$ nC 并不出现在 $V_{GS} = 0$ V 时。 V_{GS} 必须将电压拉低至负电压（在本例中为 -5 V）才能使 SiC MOSFET 的栅极完全放电。在关断期间将栅极切换为负极的第二个原因是最好情况下的 V_{TH} 可以低至 1 V。在 0 V $< V_{GS} < V_{DD}$ 之间切换 V_{GS} 且 $V_{TH} \sim 1$ V 的情况下，可以避免因意外

的栅极噪声或 V_{DS} 导致不慎导通，即 dV/dt 造成的导通。因此，几乎所有 SiC MOSFET 都需要最低 V_{GS} 处于 -5 V $< V_{GS(MIN)} < -2$ V 的范围，但一些制造商规定最小为 -10 V。

DESAT 保护

DESAT 保护是一种过流检测，起源于驱动 IGBT 的电路。在导通期间，如果 IGBT 不能再保持饱和状态（“去饱和”），集电极-发射极电压将开始上升，同时全集电极电流流过。显然，这会对效率产生负面影响，或者在最坏的情况下，可能导致 IGBT 故障。造成这种情况的可能原因可能包括：由于 β 公差、温度影响、短路或过载导致的基极电流不足。所谓的“DESAT”功能的目的是监测 IGBT 的集电极-发射极电压，并检测何时存在这种潜在的破坏性条件。

尽管故障机制略有不同，但在最大 I_D 流过时，SiC MOSFET 可能会遭受 V_{DS} 上升的类似情况。如果导通过程中的最大 V_{GS} 过低、栅极驱动导通过慢或存在短路或过载条件，则可能会出现这种不良情况。在最大 I_D 存在的情况下， R_{DS} 可能会增加，导致 V_{DS} 意外但缓慢上升。

由于 SiC MOSFET 不在明确定义的饱和区工作，因此它永远不会作为恒流源出现。而因为大多数过流保护方案都依赖于 MOSFET 在过流条件下模拟非理想的恒流源，这种情况下可能就会有问题。当 SiC MOSFET 经历去饱和事件时， V_{DS} 响应非常缓慢，而最大漏极电流继续流过不断增加的导通电阻。因此，在漏极-源极电压可以响应之前，漏极电流可能达到最大额定脉冲电流的 10-20 倍（在高 R_{DS} 期间）。对于高频电源转换器，在识别出饱和故障之前，可能会发生许多开关周期。因此，DESAT 是一项重要且必要的保护功能，除了作为电源控制的过流保护之外，还应将其指定为栅极驱动电路的一部分。

SiC MOSFET 动态开关

导通

SiC MOSFET 的开关曲线与 Si MOSFET 非常相似，主要区别在于导通期间的 20 V 栅极驱动幅度以及关断期间栅极必须拉至地以下。导通转换需要一个大的峰值源电流，能够尽快为 SiC 内部栅极电容充电，以最大限度地减少开关损耗。根据估计，整个导通事件应在 $\Delta V_{GS} = 30$ V 和 $C_{ISS} = C_{GS} + C_{GD} = 1000$ pF（估计值）的情况下在 $\Delta t < 10$ ns 内完成，根据公式 (5)，这将产生所需的峰值电流 $I_{G(SRC)} = 3$ A:

$$I_{G(SRC)} = \frac{(C_{GS} + C_{GD}) \times \Delta V_{GS}}{\Delta t} \quad (\text{eq. 5})$$

SiC MOSFET 的导通转换由四个不同的时间间隔定义，如图 5 所示。图 5 和图 7 中显示的时间间隔代表了理想箝位电感开关应用的预期时间，这是开关电源中使用的典型工作模式。

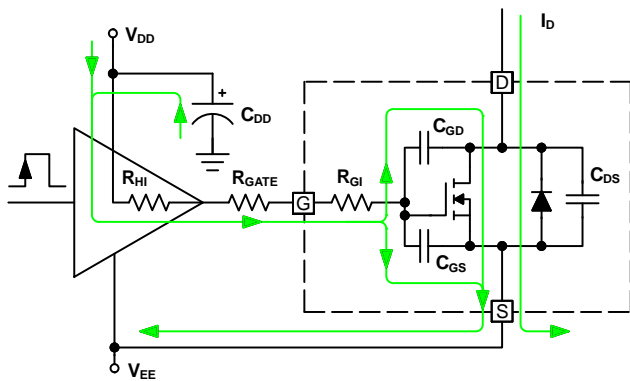


图 4. SiC MOSFET 源极电流

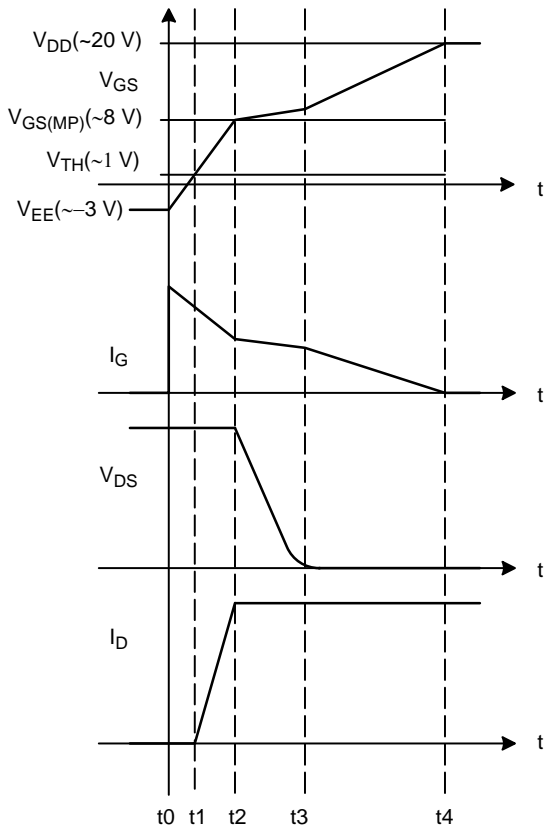


图 5. SiC MOSFET 导通顺序

$t_0 \rightarrow t_1$: V_{GS} 从 V_{EE} 逐渐上升到 V_{TH} , 因为栅极驱动电路必须提供大量瞬时栅极电流 $I_{G(SRC)}$, 主要从栅极驱动器大容量电容 C_{VDD} 中存储的电荷中供应。这个时间间隔通常被称为“导通延迟”, 因为当 V_{GS} 低于 V_{TH} 时, I_D 和 V_{DS} 不受影响。大部分栅极电流用于为 C_{GS} 和 C_{GD} 充电。请注意图 4 中的原理图, 源极电流通过三个电阻器流过: R_{HI} 、 R_{GATE} 和 R_{GI} 。其中, R_{HI} 是驱动器源极的等效内部电阻, R_{GATE} 是电路板上电阻阻抗加上任何附加的阻尼电阻, 而 R_{GI} 是 SiC MOSFET 内部的栅极电阻。 R_{HI} 和 R_{GATE} 的阻值大约为几欧姆, 但对于 SiC MOSFET, R_{GI} 可能达到数十欧姆的数量级, 比高压 Si MOSFET 高一个数量级。由于这三个电阻器与 SiC 内部栅极电容形成 RC

时间常数, 因此需要提供足够的峰值栅极电流以确保栅极驱动信号的快速上升沿。

$t_1 \rightarrow t_2$: 当 V_{GS} 从 V_{TH} 上升到米勒平台区域时, 由于 R_{DS} 通道电阻在低 V_{GS} 时没有完全增强, 因此 I_D 通过 $R_J + R_{DRIFT}$ 开始增加。由于 SiC 本征体二极管尚未处于阻断状态且 R_{DS} 的高电阻状态, 因此 V_{DS} 保持在最大水平。建议不要在 $V_{GS} < 13V$ 的情况下操作 SiC MOSFET, 因为在低 V_{GS} 时 R_{DS} 很高, 存在热失控的风险。因此, 至关重要是栅极驱动电路能够尽快地从 V_{TH} 过渡到 $V_{GS} > 13V$ 。在 $V_{TH} < V_{GS} < 13V$ 的时间应该尽量少于几纳秒, 以最小化 $I_D^2 \times R_{DS}$ 动态功率损耗。

$t_2 \rightarrow t_3$: V_{GS} 处于米勒平台区域, 对于 SiC MOSFET, 该平台区域发生在 8V 左右。在此期间, 满载电流流过 R_{DS} 并且本征体二极管不再处于阻断状态, 从而使漏极电压下降。通道电阻继续下降, 但 R_{DS} 仍然由 R_{CH} 主导。尽管满载电流流过 MOSFET 漏极, R_{DS} 在这个 V_{GS} 低点仍然很高。因此, 当务之急是 V_{GS} 尽快通过该区域过渡。由于这个过渡的速度由 I_G 驱动, 所以在米勒平坦区域 ($\sim 1/2 V_{DD}$) 的峰值驱动电流能力比任何栅极驱动器 IC 数据表中显示的峰值额定值更为重要。

$t_3 \rightarrow t_4$: 在米勒平坦区域的末端附近的 $V_{GS(MP)}$ 处, V_{DS} 下降到高于零点的 $I_D \times R_{DS}$ 。当 V_{GS} 从 $\sim 8V < V_{GS} < 20V$ 过渡时, 通道电阻 R_{CH} 继续下降, 现在 $R_J + R_{DRIFT}$ 对 R_{CH} 占主导地位, 导致 V_{DS} 成比例地下降。大多数 SiC MOSFET 在 $V_{GS} > 16V$ 时变得完全增强, 但最低 R_{DS} 值最终由 V_{GS} 的最大值确定。剩余的栅极电流 I_G 被分割来为 C_{GD} 和 C_{GS} 完全充电。

关断

SiC MOSFET 的关断过程基本上与前面描述的导通顺序相反。栅极驱动电路的作用是灌入大量的峰值电流, 能够对 SiC MOSFET 的 C_{GD} 和 C_{GS} 电容尽快放电。此外, 关断期间的栅极驱动器阻抗必须尽可能低, 以将 MOSFET 栅极保持在低电平。而由于 SiC MOSFET 的低 V_{TH} 电压, 这可能会特别麻烦。这不仅需要将 SiC 栅极拉至地以下, 而且与额定源电流相比, 栅极驱动器的灌电流能力也必须明显更高。栅极驱动电流 $I_{G(SINK)}$ 的流动如图 6 所示。

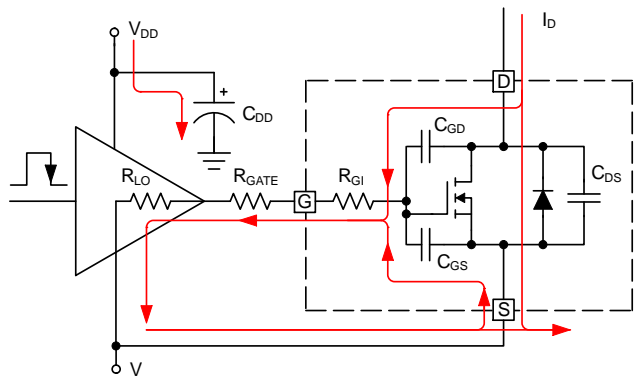


图 6. SiC MOSFET 灌电流

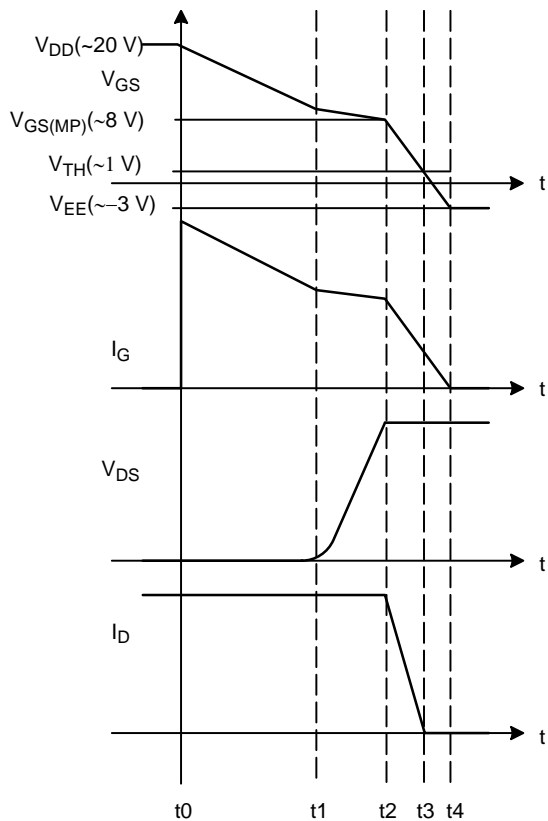


图 7. SiC MOSFET 关断顺序

$t_0 \rightarrow t_1$ 期间, V_{GS} 从 V_{DD} 下降到米勒平坦区域 $V_{GS(MP)}$ 。灌电流 $I_{G(SINK)}$ 主要由存储在 C_{GD} 和 C_{GS} 中的电荷提供, 而栅极驱动器的大容量电容 C_{VDD} 则由 V_{DD} 重新充电。漏极电流 I_D 保持不变。随着 V_{GS} 降低, 通道电阻增加, 导致 V_{DS} 略微增加 $I_D \times R_{DS}$ 。除了可能在 $t_0 \rightarrow t_1$ 时间末期附近可能会略微增加, V_{DS} 的边际增加几乎不会被注意到。

$t_1 \rightarrow t_2$: 在此时间间隔内, 栅极电流的提供主要由 C_{GD} 主导, 因为 C_{GS} 电容看到的几乎是恒定的 V_{GS} 。在米勒平台区域上, V_{DS} 从 $I_D \times R_{DS}$ 增加到被 SiC 本征体二极管钳位的 V_{DS} 轨电压。漏极电流 I_D 与前一个时间间隔相比保持不变。由于 $V_{GS} < 1.3V$ 和 $V_{DS} \times I_D$ 同时出现在 MOSFET 上, 导致 R_{DS} 增加, 因此在此时间间隔内, 栅极驱动电路的额定值应足以承受大量电流灌入。在关断期间, 这是设计人员需要注意的栅极驱动电流部分, 因为必须尽快过渡通过米勒平台区域。

$t_2 \rightarrow t_3$: 随着 V_{GS} 从米勒平坦区域向 V_{TH} 继续降低, 在此间隔期间 I_D 逐渐下降至接近于零。此时, V_{DS} 被 SiC 本征体二极管完全钳位到漏极电压轨, 这意味着 C_{GD} 电容器已充满电荷。因此, 现在大部分灌电流通过 C_{GS} 流过。

$t_3 \rightarrow t_4$: I_D 和 V_{DS} 保持不变。在最后的关断间隔期间, 只有当 V_{GS} 降至 $0V$ 以下时, SiC 内部输入电容器才能完全放电。由于 V_{TH} 仅约为 $1V$, 为了完全放电 C_{ISS} , V_{GS} 必须以负电压完成关断序列。重要的是, 栅极驱动电路必须提供尽可能低的阻抗。对于高压半桥电源拓扑结构尤其如此, 当高边 MOSFET 导通时, 中点被高 dV/dt 上拉。低阻抗下拉对于防止 dV/dt 引起的意外导通至关重要。

总之, SiC MOSFET 的导通和关断开关状态涉及四个不同的时间间隔。图 5 和图 7 所示的动态开关波形代表了理想的操作条件。实际上, 引线和键合线电感、寄生电容和 PCB 布局等封装寄生参数会对测量波形产生很大影响。在开关电源应用中使用 SiC MOSFET 时, 正确的元件选择、PCB 布局优化以及精心设计的栅极驱动电路都是优化性能的关键。

分立式 SiC 栅极驱动

为了补偿低增益并实现高效、高速开关, SiC 栅极驱动电路需要满足以下关键要求:

1. SiC MOSFET 的最大/最小 V_{GS} 是不对称的, 在 $+25V/-10V$ 范围附近。栅极驱动电路必须能够提供接近 $35V$ 的全范围 (即 V_{GS} 摆幅) 电压, 以便充分利用 SiC 的性能优势。大多数 SiC MOSFET 在 $-5V > V_{GS} > 20V$ 的驱动电压下表现最佳。为了覆盖更多的 SiC MOSFET, 栅极驱动电路应能承受 $V_{DD} = 25V$ 和 $V_{EE} = -10V$
2. V_{GS} 必须具有快速的上升沿和下降沿 (约几纳秒)
3. 在整个米勒平台区域, 必须能够提供约几安培的峰值栅极电流
4. 当 V_{GS} 降至米勒平坦区域以下时, 需要提供极低阻抗的下拉或“钳位”, 灌电流能力即由这一需求决定。灌电流额定值应超过用于对 SiC MOSFET 的输入电容进行放电所需的电流。10A 数量级的最小峰值灌电流额定值被视为适合覆盖高性能半桥电源拓扑结构
5. V_{DD} 欠压锁定 (UVLO) 电平必须在不满足 $V_{GS} > \sim 16V$ 的条件才开始切换
6. 必须有 V_{EE} UVLO 监控能力来确保负电压轨在可接受范围内
7. 必须具有能够检测、故障报告和保护的欠饱和功能, 以确保 SiC MOSFET 的长期可靠运行
8. 低寄生电感以支持高速开关
9. 驱动器封装应较小, 可以安装在尽可能靠近 SiC MOSFET 的位置

为了驱动 SiC MOSFET 高效、可靠地工作, 需要非常特定类型的栅极驱动器。然而, 目前业界展示的大多数参考设计都是基于使用通用低边栅极驱动器而设计的。一个这样的例子如图 8 所示。

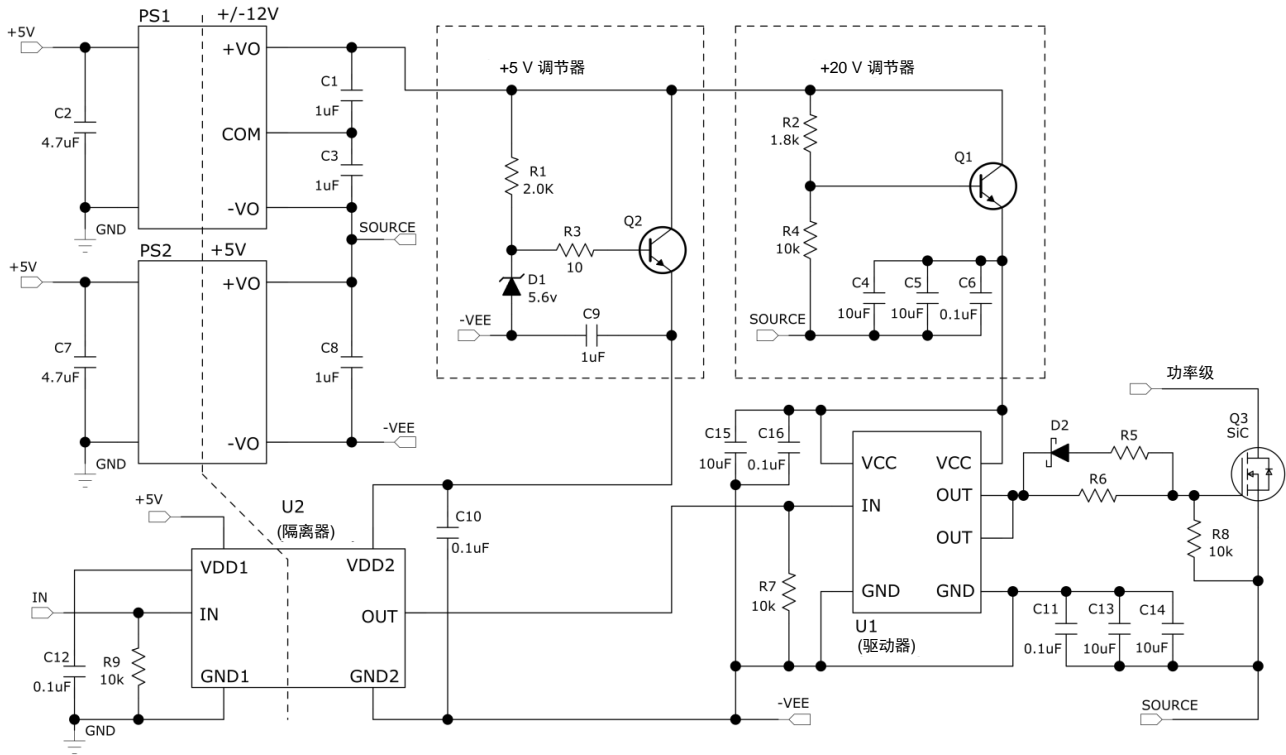


图 8. 标准低边驱动器、SiC 分立式栅极驱动器设计示例

所示电路相对于地是浮动的，因此它可以用作低边或高边参考栅极驱动器。对于任何一种情况，如果出现功率级故障，都需要隔离以保护控制电路免受功率级高压的影响。使用了两个隔离的 DC-DC 转换器，其中 PS1 提供 $V_{DD} = 24\text{ V}$ (后调节至 20 V)，而 PS2 则配置为调节 $V_{EE} = -5\text{ V}$ 。这两个转换器用于提供 V_{DD} 和 V_{EE} 电压轨。还应该提到的是，这些转换器专用于驱动单个 SiC 负载，因此每个 SiC 负载需要两个。对于高边栅极驱动应用尤其如此，例如半桥、全桥或电机驱动应用中的上部开关。主驱动器上的电压 U_1 会浮动数百伏，并且非常容易受到与开关 SiC MOSFET 相关的高 dV/dt 的影响。假设 $dV/dt = 100\text{ V/ns}$ ，PS1 (或 PS2) 变压器隔离栅上的杂散寄生电容仅为 1 pF ，会产生 100 mA 的峰值电流。 100 mA/pF 意味着需要低寄生电容、低杂散电感以及 V_{EE} (和 V_{DD}) 电压轨和栅极驱动器 IC 之间的紧密耦合。

数字隔离器 U_2 将栅极驱动信号与功率级隔离开来，并提供必要的电平转换。之后， U_2 的次级侧用作主驱动器 U_1 的输入。 U_1 是通用的低边栅极驱动器，但额定值必须能够处理全 $V_{GS} 25\text{ V}$ 的电压摆幅 ($-5\text{ V} < V_{GS} < 20\text{ V}$) 并提供所需的拉电流/灌电流能力。由于大多数通用低边栅极驱动器的额定最大 $V_{DD} = 20\text{ V}$ ，可能无法提供足够的拉电流/灌电流，并且可能无电感封装可用，可能仅限于几个特定的选择。

这些类型的栅极驱动器旨在驱动硅 MOSFET，从这个角度来看，它们无法满足 SiC MOSFET 所需的几个重要要求。例如，这些栅极驱动器没有过流故障报告或 DESAT 监控功能。此外，通用栅极驱动器的 UVLO 阈值通常基于 $5\text{ V} < V_{DD} < 12\text{ V}$ 。这可能是有

问题的，因为“安全的” V_{DD} SiC MOSFET 的工作电平约为启动时 $V_{DD} > \sim 16\text{ V}$ 。并且，没有 UVLO 监控用于 V_{EE} 电压轨，如图 8 参考设计中所示。标准低边驱动器、SiC 分立式栅极驱动器设计示例。这些电压轨需要在别处进行监控，以确保在导通期间将 SiC MOSFET 驱动到低电阻状态，以及在关断期间将栅极保持在负电压水平。

虽然图 8 所示的解决方案提供驱动 SiC MOSFET 的必要功能，但它是不完整的，至少根据分立式 SiC 栅极驱动部分开头所述的栅极驱动要求是如此。尽管如此，由于没有专用的 SiC 驱动器，目前大多数 SiC 栅极驱动电路都是这样设计的。DESAT、电压轨监控、工作次序等任何附加功能要么由附加专用电路处理，要么全部忽略。

NCP51705 SiC 栅极驱动器

NCP51705 是一种 SiC 栅极驱动器，具有高度的灵活性和集成性，使其与市场上的任何 SiC MOSFET 完全兼容搭配使用。如图 9 所示，NCP51705 顶层框图包括通用栅极驱动器常见的许多基本功能，包括：

1. 高达 28 V 的 V_{DD} 正电源电压
2. 高峰值输出电流 (6 A 灌电流 和 10 A 拉电流)
3. 内部 5 V 参考电压可用于偏置 5 V 、高达 20 mA 的低功率负载 (数字隔离器、光耦合器、微控制器等)
4. 独立的信号地和电源地
5. 独立的灌、拉电流引脚
6. 内部热关断保护
7. 独立的同相和反相 TTL、PWM 输入

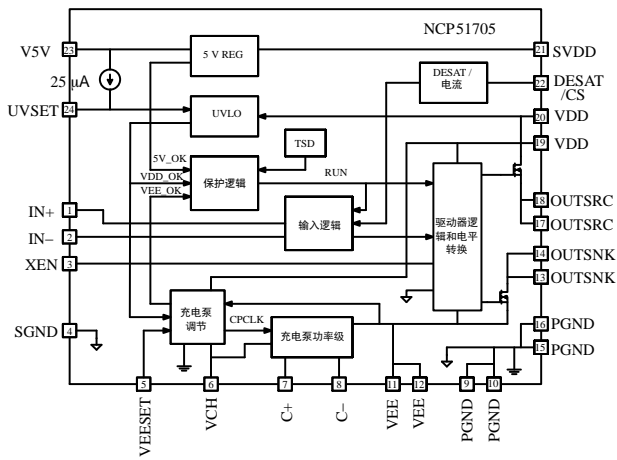


图 9. NCP51705 SiC 栅极驱动器框图

此外，NCP51705 具备使用最少的外部组件设计可靠的 SiC MOSFET 栅极驱动电路所必需的几个独特特性（在分立式 SiC 栅极驱动部分的开头列出）。NCP51705 独特的优点将在下一节详细介绍。

过流保护 - DESAT

NCP51705 DESAT 功能的实现只需使用两个外部组件。如图 10 所示，通过 DESAT 引脚的 R_1 和 D_1 监测 SiC MOSFET, Q_1 的漏极-源极电压。

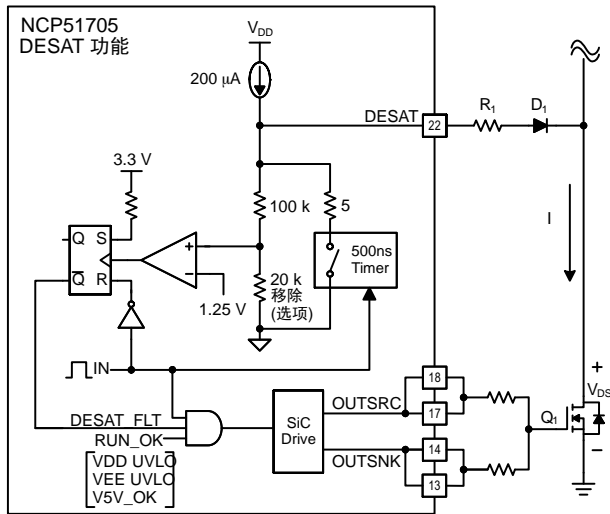


图 10. NCP51705 DESAT 功能

在 Q_1 关断期间，漏极-源极端子可能出现几百伏电压。一旦 Q_1 导通，漏极-源极电压迅速下降，预计在不到几百纳秒的时间内就会发生从高电压到接近零电压的转变。在导通转换期间，DESAT 信号前沿被一个 500 纳秒计时器消隐，该计时器连接一个 $5\ \Omega$ 的低阻抗下拉电阻。这使 V_{DS} 有足够的时间下降，同时确保 DESAT 不会意外触发。500 纳秒过后，DESAT 引脚被

计时器释放， $200\ \mu\text{A}$ 电流源通过 R_1 、 D_1 和 SiC MOSFET 导通电阻提供恒定电流。在导通时间内，如果因为发生短路故障使得 DESAT 引脚上升到 $7.5\ \text{V}$ 以上，则 DESAT 比较器输出会升高，从而触发 RS 触发器的时钟输入。这种短路故障将逐个周期自动终止 Q_NOT 输出的后沿。SiC MOSFET 的栅极驱动电压将被迅速降低，降低的速度和功率器件去饱和故障时间成比例。

$200\ \mu\text{A}$ 电流源足以确保 D_1 的正向压降，同时也使 R_1 的压降能够在 SiC MOSFET 导通期间独立于 V_{DS} 。如果需要，可通过将 DESAT 引脚接地来禁用 DESAT 保护。相反，如果 DESAT 引脚处于浮动状态，或者 R_1 失效断路，则 $200\ \mu\text{A}$ 电流源会流经 $20\ \text{k}\Omega$ 电阻器并在 DESAT 比较器的同相输入端施加恒定的 $4\ \text{V}$ 电压。这种条件下，基本上禁用了 SiC MOSFET 的栅极驱动。还有一些应用可能倾向于使用电流检测变压器来检测漏极电流，并从外部驱动 DESAT 引脚。在这种情况下，NCP51705 包括一个 IC 选购型号，移除了 $20\ \text{k}\Omega$ 电阻器，使 DESAT 引脚可以用作传统的逐脉冲、过电流保护功能。

DESAT 引脚上的电压 V_{DESAT} 由公式 (6) 确定为：

$$V_{DESAT} = (200\ \mu\text{A} \times R_1) + V_{D1} + (I_D \times R_{DS}) \quad (\text{eq. 6})$$

为 I_D 确定最大值（留出额外的设计裕度）后，选择 R_1 和 I_D ，使 $V_{DESAT} < 7.5\ \text{V}$ 。重新排列公式 (6) 并求解 R_1 得出：

$$R_1 = \frac{V_{DESAT} + V_D - (I_{D1} \times R_{DS})}{200\ \mu\text{A}} \quad (\text{eq. 7})$$

除了设置允许的最大 V_{DESAT} 电压外， R_1 还具有限制通过 D_1 结电容的瞬时电流大小的双重目的。因为 SiC MOSFET 的漏极电压变化率 dV/dt 极高，如果 R_1 的大小不合适，通过 D_1 的 p-n 结电容的电流可能会变得非常高。因此，应优先选择具有最低结电容的快速恢复高压二极管。 R_1 的典型值将接近 $5\ \text{k}\Omega < R_1 < 10\ \text{k}\Omega$ 的范围，这会根据所选 SiC MOSFET 的 I_D 和 R_{DS} 参数而发生变化。如果 R_1 远小于 $5\ \text{k}\Omega$ ，进入 DESAT 引脚的瞬时电流可能为数百毫安。相反，如果 R_1 远大于 $10\ \text{k}\Omega$ ，则 RC 延迟为 R_1 和 D_1 结电容的乘积。延迟可为 $100\ \mu\text{s}$ 量级，从而导致应对 DESAT 故障的额外延迟时间。

电荷泵 - V_{EE} (VEESET)

NCP51705 使用单一的正电源电压运行。从单一 V_{DD} 电源电压运行意味着必须由栅极驱动器 IC 自身产生负 V_{EE} 电压。使用开关电容电荷泵是产生所需负 V_{EE} 电压轨的必然选择。构建电荷泵有许多不同的选择。主要挑战是在瞬态条件下保持准确的电压调节，以一定的频率开关以减小电容量，并最大限度地减少外部组件数量，从而降低成本并提高可靠性。

从图 11 所示的电荷泵功能框图可以看出，只需三个外部电容即可建立负 V_{EE} 电压轨。电荷泵功率级基本上由两个 PMOS 开关和两个 NMOS 开关组成，这些开关以桥式结构排列。

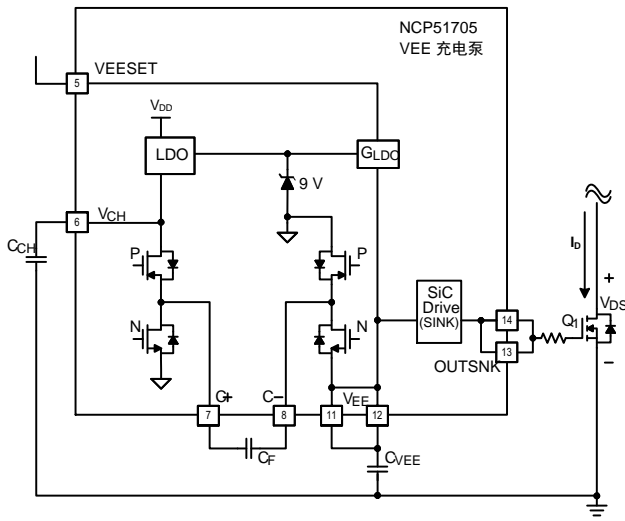


图 11. NCP51705 V_{ee} 电荷泵

如图所示，外部飞跨电容 C_F 连接在两个半桥桥臂的中点之间。开关时序是这样的：每当两个上部 PMOS 器件同时导通时， V_{DD} 电压会施加在 C_F 两端。同样，每当两个下部 NMOS 器件同时导通时， $-V_{EE}$ 会施加在 C_F 。开关频率在内部设置为 390 kHz，两个上部 PMOS 器件与两个下部 NMOS 器件异步切换。290 kHz 的 IC 选购型号也可用于需要较低电荷泵开关频率的应用。

V_{EE} 被调节到 V_{CH} 处的电压，该 V_{CH} 处电压由通过 $VEESET$ 可编程的内部低压降稳压器 (LDO) 电压决定。 $VEESET$ 上的电压会改变内部 LDO 看到的增益 (G_{LDO})。如果 $VEESET$ 被悬空 (建议使用从 $VEESET$ 到 $SGND$ 的 100-pF 旁路电容)，则 V_{EE} 设置为 -3 V 的驱动电压。如果需要 -5 V 的驱动电压， $VEESET$ 引脚应直接连接到 V5V (引脚 23)。如果 $VEESET$ 连接到 9 V 和 V_{DD} 之间的任何电压，则 V_{EE} 被箝位并设置为 -8 V。当 $V_{DD} > 7.5$ V 时，电荷泵启动， V_{EE} 电压轨的电路部分包括一个内部固定的 UVLO，设置为 V_{EE} 设定值的 80%。由于 V_{DD} 和 V_{EE} 均由独立的 UVLO 电路监控，所以 NCP51705 足够智能，对于给定的 SiC MOSFET 可以使得两个电压轨都保持在安全范围内。

或者，通过完全禁用电荷泵，可以实现 $0\text{ V} < \text{OUT} < V_{DD}$ 输出。当 $VEESET$ 连接到 $SGND$ 时，电荷泵被禁用。当电荷泵被禁用且 V_{EE} 直接与 $PGND$ 相关联时，输出在 $0\text{ V} < \text{OUT} < V_{DD}$ 之间切换。需要注意的是，每当 $VEESET$ 与 $SGND$ 相关联时， V_{EE} 必须与 $PGND$ 相关联。在此工作模式期间，内部 V_{EE} UVLO 功能也相应禁用。

另一种可能的配置是禁用电荷泵，但允许使用外部负 V_{EE} 电压轨。此选项允许 $-V_{EE} < \text{OUT} < V_{DD}$ 输出，因为电荷泵未工作，所以在 IC 功耗方面略有节省。当 $VEESET$ 连接到 $SGND$ 时，外部负电压轨可以直接在 V_{EE} 和 $PGND$ 之间连接。请注意，由于 $VEESET$ 为 0 V，内部 V_{EE} UVLO 被禁用，因此 NCP51705 不知道 V_{EE} 电压水平是否在规定范围内。

这种简单的 $VEESET$ 调整能够使用最少的外部组件实现最高程度的灵活性，同时满足最广泛的 SiC

MOSFET 电压要求。为了方便起见，表 3 中总结了 $VEESET$ 的可配置性。

表 3. 半导体材料属性

VEESET	备注	V _{EE}	V _{EE} (UVLO)
V _{DD}	$9\text{ V} < V_{EESET} < V_{DD}$	-8 V	-6.4 V
V5V		-5 V	-4 V
OPEN	将 C_{VEE} (100 pF) 从 $VEESET$ 添加到 $SGND$	-3 V	-2.4 V
GND	移除 C_{vee} 并将 V_{ee} 连接到 $PGND$	0 V	NA
GND	将 V_{ee} 连接到外部负电压电源	$-V_{EXT}$	NA

可编程欠压锁定 - UVSET

用于栅极驱动器 IC 的 UVLO 对于保护 MOSFET 至关重要，其工作原理是禁用输出，直到 V_{DD} 高于已知阈值。这不仅可以保护负载，而且可以向控制器确认施加的 V_{DD} 电压高于导通阈值。由于与 SiC MOSFET 相关的低 g_m 值，最佳导通阈值的 UVLO 并非“一刀切”。允许驱动器输出在较低的 V_{DD} 下开关，可能对某个 SiC MOSFET 不利，但根据散热片、散热器和 V_{DD} 启动时间，对另一个 SiC MOSFET 而言可能是可接受的。最佳 U 导通阈值的 UVLO 也会根据 V_{DD} 电压轨的产生方式而发生变化。一些电源系统可能有一个专用的偏压电源，而其他系统则可能依赖于类似于图 13 的 V_{DD} 自举技术。

NCP51705 通过可编程 UVLO 导通阈值解决了这一需求，该阈值可通过 UVSET 和 $SGND$ 之间的单一电阻器设置。如图 12 所示，UVSET 引脚由 25- μA 电流源内部驱动，串联增益为 6。

UVSET 电阻器 R_{UVSET} 根据公式 (8) 中定义的所需导通电压 UVLO 进行选择。

$$R_{UVSET} = \frac{V_{ON}}{6 \times 25 \mu\text{A}} \quad (\text{eq. 8})$$

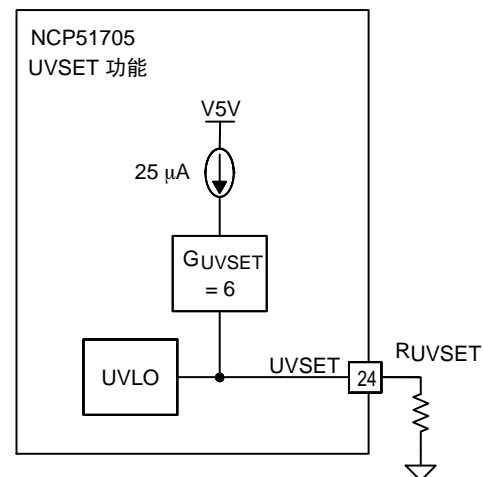


图 12. NCP51705 UVSET 可编程 UVLO

V_{ON} 值通常由 SiC MOSFET 输出特性曲线决定，如图 1 中突出显示的曲线。由于即使 V_{GS} 略有降低，SiC MOSFET 的导通电阻也会显著增加，因此允许的 UVLO 滞后必须很小。因此，NCP51705 具有固定的 1-V 迟滞，关断电压 V_{OFF} 始终比设置的 V_{ON} 低 1 V。

对于包含专用偏压电源的电源，在电源系统因故障恢复而启动软启动或重启之前，一般认为 V_{DD} 高于所需的 V_{ON} 阈值。对于此类系统，1-V UVLO 迟滞是必要的，并且不会因启动条件而产生任何影响。然而，一些电源系统从高电压取电，然后依赖于自举电路和变压器绕组的 V_{DD} 产生方式如图 13 所示。

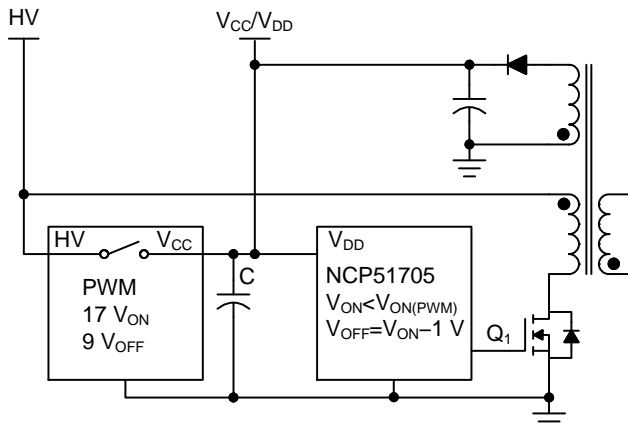


图 13. PWM 自举启动示例

图中显示了具有高电压 (HV) 启动能力以及 $V_{ON} = 17\text{ V}$ 和 $V_{OFF} = 9\text{ V}$ 的固定 UVLO 阈值的 PWM 控制器。施加 HV 时，当 $HV = V_{ON} = 17\text{ V}$ ，内部通道开关打开，PWM 控制器从 C_{VCC} 汲取启动电流。在此期间， C_{VCC} 正在放电， Q_1 必须开始切换，以在变压器自举绕组中建立电压。这对可允许的 V_{ON} 电压（该电压可从 R_{UVSET} 编程）施加了限制。UVSET 必须设置为小于 PWM 控制器的 UVLO V_{ON} 的值。图 14 进一步说明了这些启动细节，其中 PWM 电压阈值显示为蓝色，NCP51705 显示为红色。

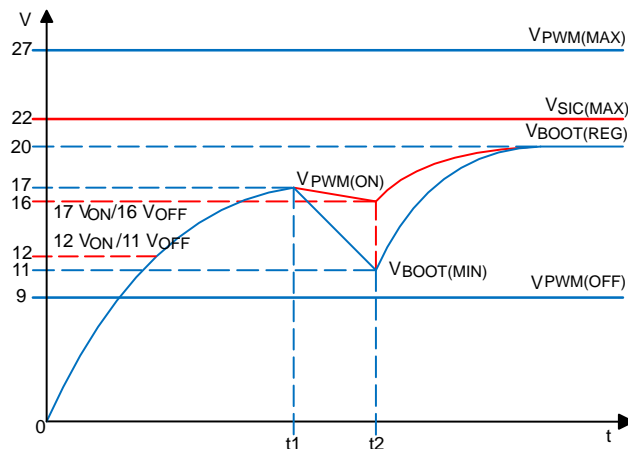


图 14. 自举启动时序

为了以尽可能高的 V_{GS} 开关 SiC MOSFET，需要将 V_{ON} 设置为尽可能接近 PWM 控制器的导通 UVLO。比如，在 $\Delta t (t_2 - t_1)$ 期间 $\Delta V = 1\text{ V}$ 。这表明 C_{VCC} 的放电非常浅，因此需要较大的电容值。例如，假设启动电流为 1 mA ， $\Delta t = 3\text{ ms}$ 且 $\Delta V = 1\text{ V}$ ，则需要 $3\text{-}\mu\text{F}$ 的 C_{VCC} 电容。相反，如果 V_{ON} 设置为比最小自举放电电压 $V_{BOOT(MIN)}$ 高 1 V ，则意味着允许 C_{VCC} 在更宽的 $\Delta V (17\text{ V} - 11\text{ V})$ 范围内放电，因此可以使用更小的电容值。给定相同的 1 mA ， $\Delta t = 3\text{ ms}$ 且允许 $\Delta V = 6\text{ V}$ ，所需的 C_{VCC} 电容值降低至 500 nF ；减少了 6 倍。然而，由于 SiC MOSFET 将在 $V_{GS} = 11\text{ V}$ 的情况下开关，因此所产生的影响可能很大。显然，在启动前给 NCP51705 提供一个偏置电压是首选方法。

数字同步和故障报告 - XEN

XEN 信号是由和栅极驱动信号 V_{GS} 反相的 5 V 数字表示。为了报告驱动器“状态”，PWM 输入被认为更准确，因为它来自内部 SiC 栅极电压发生电路，传输延迟很低。此信号可以在半桥电源拓扑中用作故障标志和同步信号，为实施交叉导通 (cross-conduction) 保护提供基准。每当 XEN 为高、 V_{GS} 为低时，则 SiC MOSFET 为关断状态。因此，如果 XEN 和 PWM 输入信号均为高，则检测到故障状态，这个故障信号可以灵活运用来实现各种保护功能。

封装

WBG 半导体使高压转换器能够在更接近低压转换器（低于 100 V ）开关频率的情况下工作。对于低压转换器而言，半导体封装的发展对当今开关性能的实现起到了关键作用。硅 MOSFET 封装取得了进步，例如双面散热、夹焊、热增强功率封装和低电感、无引线封装。同样，栅极驱动器 Ic 封装也“瘦身”明显。更短的芯片到引线、键合线连接，加上模制无引线封装 (MLP)，对于最大限度地减少驱动器侧的寄生电感至关重要。驱动器和 MOSFET (DrMOS) 共封装是减少寄生电感、提高效率 and 缩小电路板面积的最新步骤。DrMOS 得以实现也是因为引入了类似低压转换器应用中所使用的封装改进措施。

在高压转换器领域，爬电距离和电气间隙等最小间距要求使得高性能 SiC MOSFET 依然采用低性能 To-220 型和 To-247 型封装。这些封装已经十分完善，长期以来一直是行业标准。它们非常适合工业应用，坚固且易于散热，但其长引线和内部键合线导致寄生电感更高。SiC MOSFET 现在使这些寄生电感受到热应力、频率和 dV/dt 速率的影响，以前在高压硅晶体管中，这是从未设想到的。可以说，SiC 促进了对高压分立封装的重新思考。

不像分立器件，SiC 栅极驱动器能够充分利用那些原本用于低压电源转换器的驱动器件的封装改进。NCP5170 芯片封装成 24 引脚、 $4 \times 4\text{ mm}$ 、热增强 MLP，如图 15 所示。

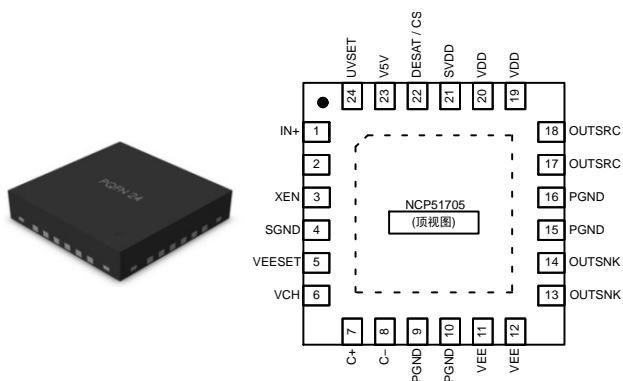


图 15. NCP51705 24 引脚、4x4 mm、MLP 封装和引脚输出

所有高电流电源引脚都布了两个，位于 IC 的右半部分。此外，这些引脚都通过内部双键合线连接到芯片，以实现尽可能最低的电感。所有低功耗数字信号仅为单引脚，位于 IC 的左半部分，为 PWM 或数字控制器提供了方便、直接的接口。

NCP51705 封装的底部包括一个电绝缘、导热、暴露的焊盘。该焊盘未连接到 PGND 或 SGND，但会通过热通孔连接到隔离铜 PCB 焊盘进行散热。

如果散热成为一个问题，应特别注意四个主要的功耗因素：

1. 与驱动外部 SiC MOSFET 相关的 OUTSRC 和 OUTSNK 损耗。这些是与开关频率成比例的栅极电荷相关损耗。降低开关频率将降低功耗
2. V_{DD} 和 $V5V$ 之间的 LDO，能够提供高达 20 mA 的电源。切勿加载 $V5V$ 到其他负载，电压轨仅用于数字隔离器或光耦合器的偏压
3. V_{DD} 和 VCH 之间的 LDO，这是内部电荷泵的一部分
4. 内部电荷泵电源开关，可禁用并用外部负偏压替换，如电荷泵— V_{EE} (VEESET) 部分所述

系统性能

对于 $V_{DD} > 7\text{ V}$ ，静态电流线性缓升，直至超过设置的 UVLO 阈值。图 16 所示的蓝色曲线表示在没有 PWM 输入信号并且 $V_{DD(UVLO)} = 12\text{ V}$ ， $V5V$ 调节器无负载的情况下， V_{DD} 相对于 I_{DD} 的变化曲线。对于 $7\text{ V} < V_{DD} < 22\text{ V}$ ， I_{DD} 测量为 $0.6\text{ mA} < I_{DD} < 2.3\text{ mA}$ 。中间的平坦线段表示当 V_{DD} 超过 UVLO 阈值时， I_{DD} 电流增加约 $\sim 1\text{ mA}$ 。

红色曲线表示在禁用内部电荷泵的同时向 $IN+$ 施加 100 kHz、50% 占空比 脉冲输入的情况。使用 $4.99\ \Omega + 2.2\text{ nF}$ 负载，这是典型 SiC MOSFET 的等效输入阻抗。外部灌拉电阻为 $3\ \Omega$ 。对于 $12\text{ V} < V_{DD} < 22\text{ V}$ ， I_{DD} 测量为 $3.7\text{ mA} < I_{DD} < 5.5\text{ mA}$ 。

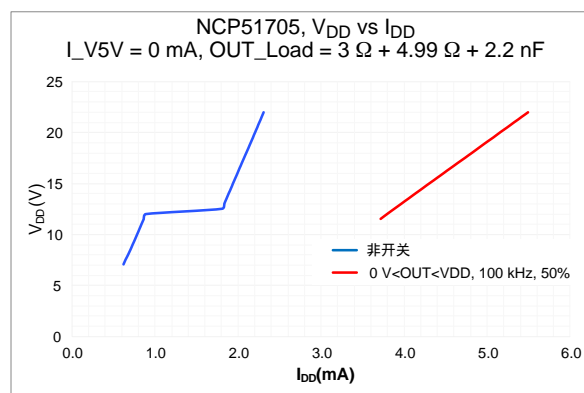


图 16. V_{DD} 与 I_{DD} ，非开关与开关

图 17 所示的启动波形显示了在 V_{DD} 之前已经输入了 PWM 信号到 $IN+$ 。 V_{DD} 从 0 V 上升至 20 V， $UVSET = 2\text{ V}$ (未在图中显示)，相当于 $V_{DD(UVLO)} = 12\text{ V}$ 。 V_{EE} 被设置为在 -5 V 调节， $VEESET = V5V$ (未在图中显示)，相当于 $V_{EE(UVLO)} = -4\text{ V}$ 。当 $VEE = -4\text{ V}$ 时，输出便会使能，此时 $V_{DD} > 12\text{ V}$ ($V_{DD} = 15\text{ V}$)。还要注意，在近 $100\ \mu\text{s}$ 的时间内， $OUT(V_{GS})$ 小于 20 V。根据 V_{DD} 爬升的 dV/dt 速率，该时间可能更长，因此，在编程 $UVSET$ 时应考虑 SiC MOSFET 的热应力。

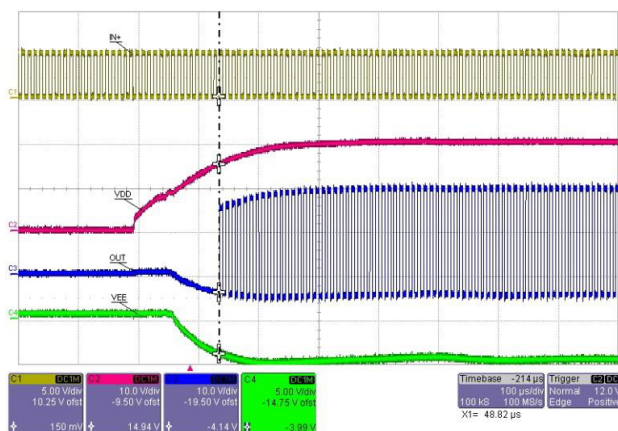


图 17. CH1- $IN+$ 、CH2- V_{DD} 、CH3- OUT 、CH4- V_{EE} ； $V_{DD(UVLO)} = 12\text{ V}$ ， $V_{EE(UVLO)} = -4\text{ V}$

图 18 中显示了相同的启动波形，但 $UVSET = 3\text{ V}$ (未显示)，相当于 $V_{DD(UVLO)} = 18\text{ V}$ 。在这种情况下，当 $V_{DD} = 18\text{ V}$ 时， $OUT(V_{GS})$ 便会启用，此时 $V_{EE} < -4\text{ V}$ ($V_{EE} = -5\text{ V}$)。哪个 UVLO 占优势取决于 V_{DD} 与 V_{EE} 的 dV/dt 速率。关键是 NCP51705 输出被禁用，直到 V_{DD} 和 V_{EE} 都高于或低于各自的 UVLO 阈值。与图 17 相比，请注意较高的 UVLO 设置对 $OUT(V_{GS})$ 的影响，其中第一个 OUT 脉冲出现在 20 V 和 -5 V 附近。

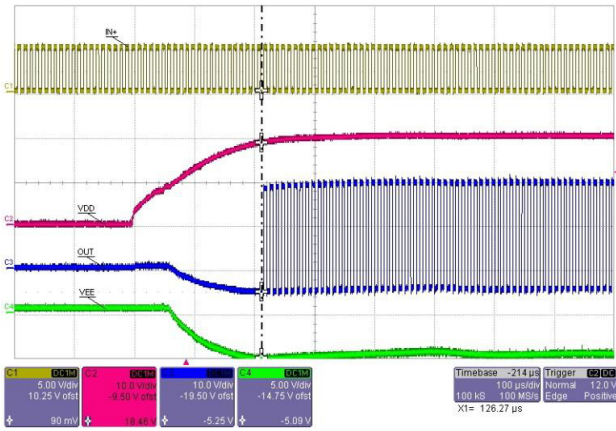


图 18. CH1-IN+、CH2-V_{DD}、CH3-OUT、CH4-V_{EE}; V_{DD(UVLO)} = 18 V, V_{EE(UVLO)} = -4 V

NCP51705 内部电荷泵有一个缓慢的控制回路，其效果可从 V_{EE} 启动期间观察到的轻微下冲和 $400 \mu\text{s}$ 的稳定时间中看出，如图 19 所示。超过 $400 \mu\text{s}</math> 时，V_{EE} 电压稳定至 -3 V、-5 V 或 -8 V 的调节设定值。$

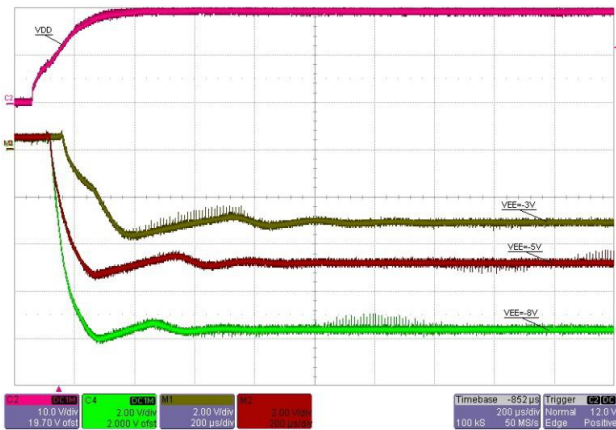


图 19. V_{EE} 启动

关机操作平稳，无毛刺。如图 20 所示，OUT 停止开关并跟踪掉电的 V_{EE}。V_{EE} 从 -5 V 到 0 V 的放电时间约为 300 ms。

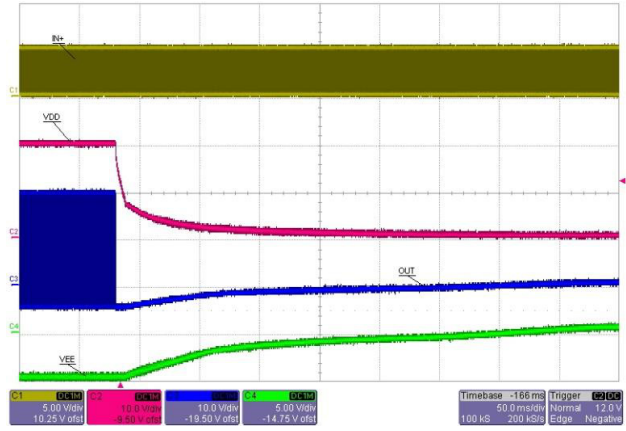


图 20. CH1-IN+、CH2-V_{DD}、CH3-OUT、CH4-V_{EE}; 关闭

图 21 显示了图 20 中时间基准的放大图。UVSET 被配置为 3 V (V_{DD(UVLO)} = 18 V)，内部 V_{DD} UVLO 迟滞在内部固定为 1 V。当输出被禁用时，光标位置显示 V_{DD} = 17 V (18 V - 1 V 滞后)，此时 V_{EE} = -4.5 V (VEESET = 5V)，并且根据其 -4 V UVLO 仍处于有效电压范围。尽管 V_{DD} 的衰减很慢，但在 UVLO_OFF 之后，也可以看到最后一个输出脉冲的终止很干净，没有杂散脉冲或毛刺。

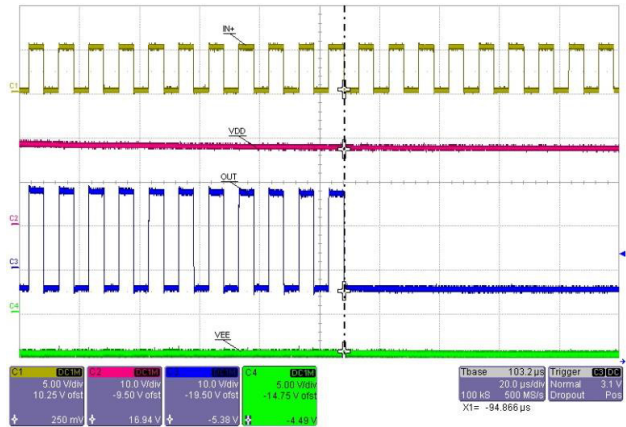


图 21. CH1-IN+、CH2-V_{DD}、CH3-OUT、CH4-V_{EE}; 关闭, V_{DD-UVLO(OFF)} = 17 V

导通传播延迟的测量范围从 90% IN+ 上升至 10% OUT 上升。通常 SiC 驱动器将在更高的 V_{DD} 下工作，但大多数 SiC MOSFET 传播延迟被指定为 $V_{DD} = 12\text{ V}$ ，1-nF 负载条件下的测得。图 22 显示了在这些标准测试条件下测得的导通传播延迟为 19 ns。

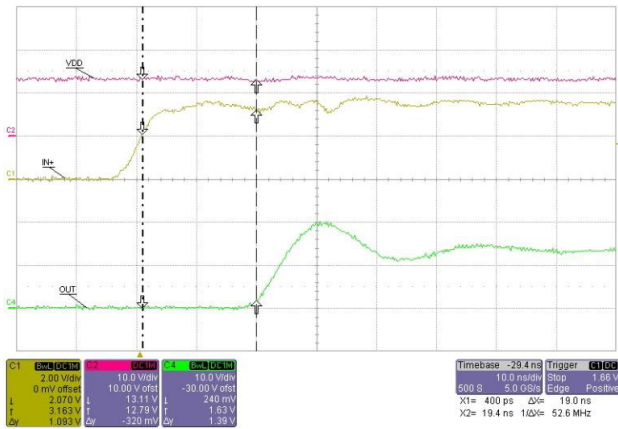


图 22.

CH1-IN+、CH2- V_{DD} 、CH4-OUT；上升沿传播延迟

同样，关断传播延迟的测量范围从 10% IN+ 下降至 90% OUT 下降。图 23 显示了在相同标准测试条件下测得的关断传播延迟为 22 ns。每个边缘的输出上升和下降时间约为 5 ns。

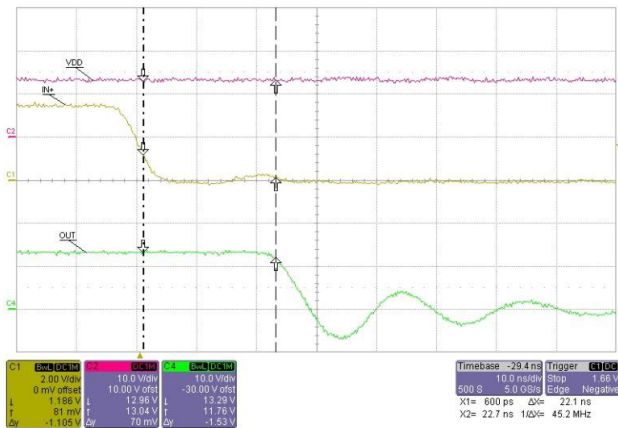


图 23. CH1-IN+、CH2- V_{DD} 、CH4-OUT；
下降沿传播延迟

DESAT 和 XEN 波形分别如图 24 和图 25 所示。由于测试仅用于 IC 验证 (无功率器件级)，因此将 100-pF 固定电容连接到 DESAT 引脚。图 24 所示的波形表明 DESAT 低于 7.5 V 阈值，输出在正常操作下切换。如果 IN+ 频率降低 (导通时间增加)，则 100-pF DESAT 电容将可以充电至更高的电压。如图 25 所示，DESAT 电压已达到 7.5V 阈值。输出后沿在输入电压切换为低之前终止。DESAT 小斜坡用于强调终止的 OUT 脉冲

上没有出现毛刺的事实。在开关电源应用中，DESAT 引脚上可以使用小型 (<100 pF) 外部电容进行高频噪声滤波。

XEN 信号与 OUT 信号相反。无论驱动器是正常运行还是面临 DESAT 故障，XEN 信号都能准确跟踪任一情况下的反向 OUT 信号。

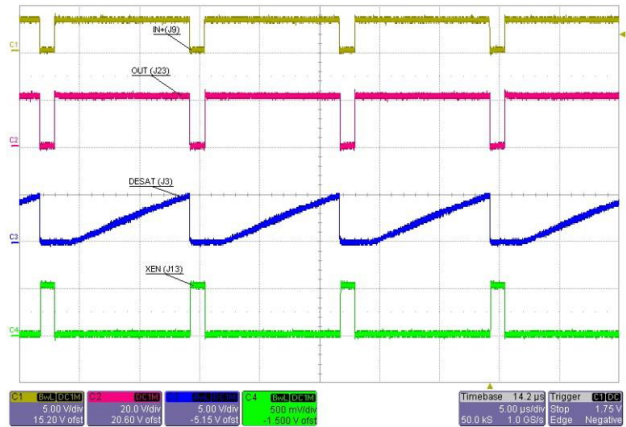


图 24. CH1-IN+、CH2-OUT、CH3-DESAT、
CH4-XEN； $V_{DESAT} < 7.5\text{ V}$

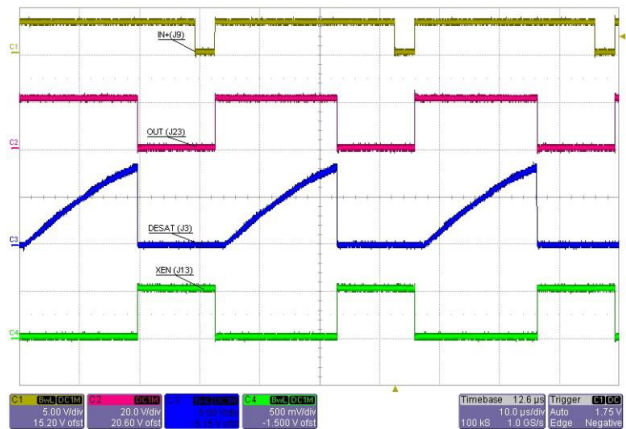


图 25. CH1-IN+、CH2-OUT、CH3-DESAT、
CH4-XEN； $V_{DESAT} = 7.5\text{ V}$

应用

SiC MOSFET 可以适用于目前使用 IGBT 的各种应用场景。一些较常见的用途包括高压开关电源、混合动力和电动汽车充电器、电气化铁路运输、焊机、激光器、工业设备及其他注重高温操作的环境。尤其值得一提的是两个领域是太阳能逆变器和高压数据中心。更高的直流电压有利于减小线规厚度、接线盒、互连，并最终最大限度地减少导通损耗，从而提高效率。目前，大多数大型光伏系统均采用 1-kV 直流母线，未来趋向于采用 1.5-kV 总线。同样，使用 380-V 配电网的数据中心可以将直流电压提升至 800 V。

NCP51705 的几个基本应用示例如下所示。

低边开关

图 26 显示了用于低边开关应用的 NCP51705 的顶层原理图。未显示隔离，因此控制器和驱动器之间为直连接口，不是所有应用都是非隔离架构。此原理图旨在说明，要提供全功能、可靠和稳健的 SiC 栅极驱动电路，只需甚少的外部组件。还应提及，尽管只需要单一 VDD 电压轨，但其共模瞬态抗扰度额定值应至少为 50 V/ns，以防止分立式 SiC 栅极驱动部分中的分立式栅极驱动说明所述的杂散电流脉冲。如果 VDD 电压轨由专用辅助电源提供，则应特别注意设计具有超低原-副边杂散电容的变压器。

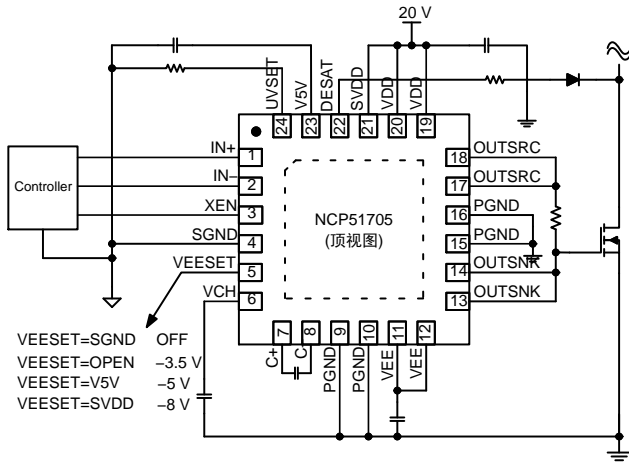


图 26. 低边开关示例

半桥概念

在半桥电源拓扑中可以找到 SiC MOSFET 更普遍的用途，如图 27 所示。高功率应用倾向于在高边和低边都使用隔离驱动器。这意味着需要两个数字隔离器。根据跨越隔离边界的 IO 接口的数量，此类应用

的次级侧控制可能存在很大争议。在这个简化示例中，In+ 和 In- (使能) 是来自数字控制器的仅有的两个信号，XEN 从 NCP51705 读取。XEN 可以作为开发栅极驱动时序、交叉导通预防、死区时间调整和故障检测的时序信息基准。此外，温度感测、热管理 (风扇控制) 和更高级别的故障响应也可以由数字控制器完成。NCP51705 的 V5V 可用于为每个数字隔离器的次级侧供电，如图 27 所示。

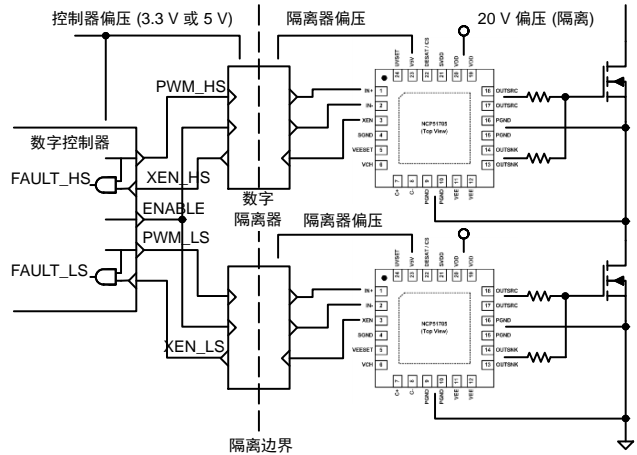


图 27. 半桥概念

准谐振 (QR) 反激式

使用 NCP1340B1 控制器和 NCP51705 SiC 驱动器设计了一个 100-W 的 QR 反激式转换器，可在 $300\text{ V} < V_{IN} < 1\text{ kV}$ 的宽输入范围内工作。此类转换器常见于光伏和工业应用，但当基于 IGBT 功率级时，开关频率在 65 kHz 的范围内。图 28 所示的原理图为 QR 反激式，在 $V_{IN}=300\text{ V}$ 时，频率在 $377\text{ kHz} < F_s < 430\text{ kHz}$ 之间变化，负载从 100% 到 25% 不等。

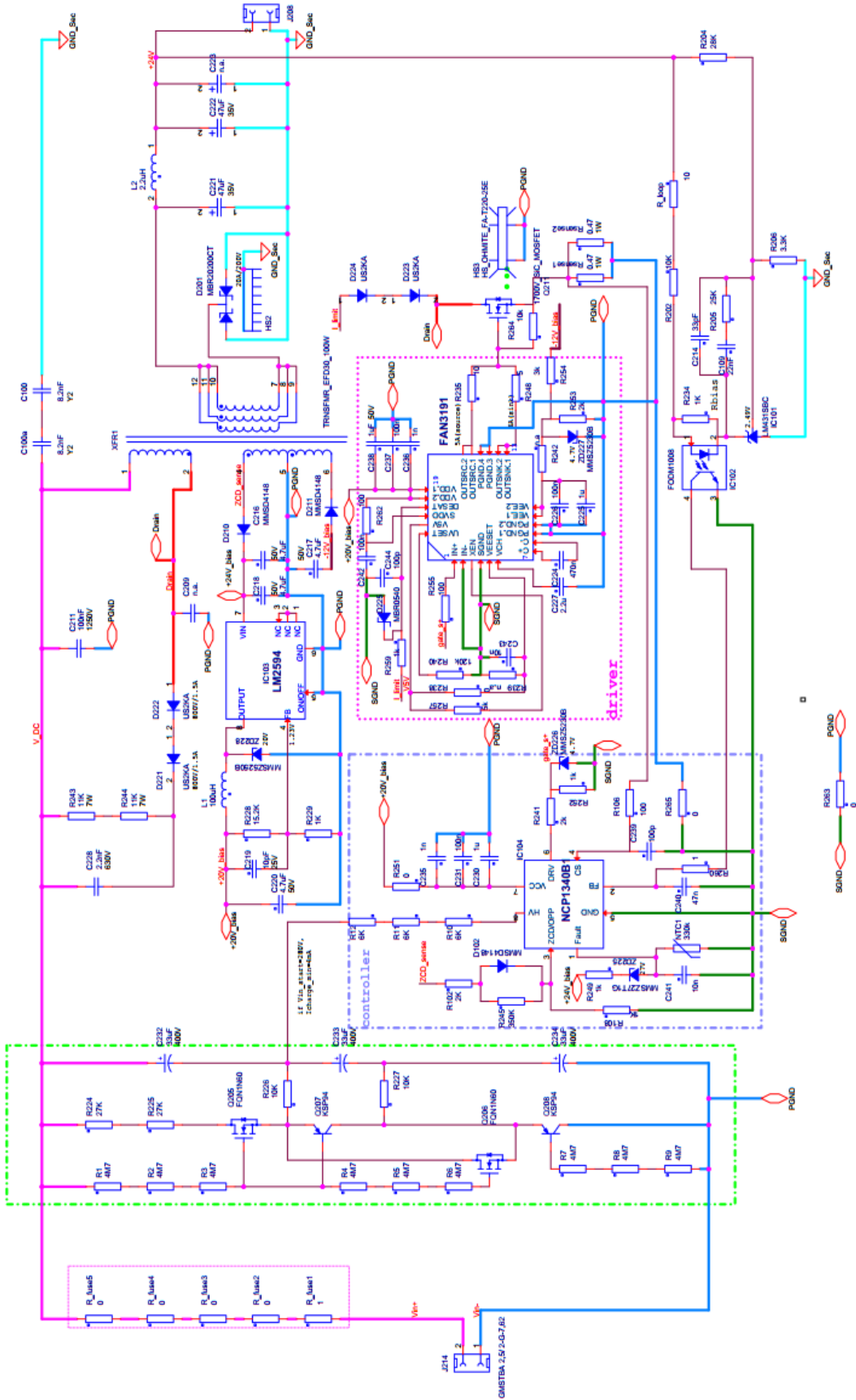


图 28. 1000 V 至 24 V、100 W、400 kHz、QR 反激式

对于 $V_{IN} = 300\text{ V}$ ，漏极-源极电压波形是输入电压和反射输出电压之和。图 29 所示的波形突出显示了在全占空比操作 ($V_{IN} = 300\text{ V}$) 下运行的转换器，其中 SiC MOSFET 的漏极-源极电压为 720 V 。 V_{DS} 上升过渡约为 30 ns ，相当于 $dV_{DS}/dt = 24\text{ V/ns}$ 。NCP1340B1 QR 控制在 V_{DS} 下降沿实现软谐振过渡和谷底开关 (在 V_{DS} 谐振到最小值时“接近 ZVS”导通)，可以在蓝色波形上清晰看到这一操作过程。由于 QR 反激式是仅限低边开关的应用，并且 dV_{DS}/dt 下降沿为谐振，因此 SiC MOSFET 可能在 $0\text{ V} < V_{GS} < 20\text{ V}$ 之间可靠开关切换。尽管如此，图 28 所示的设计选择在 $-5\text{ V} < V_{GS} < 20\text{ V}$ 之间切换，从而在增加栅极电荷的轻微代价下，实现更稳健的切换。

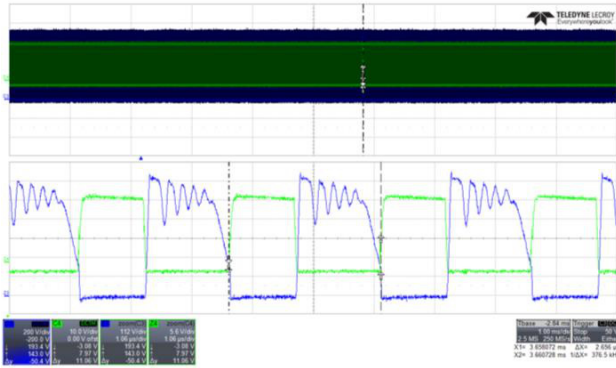


图 29. CH3 = V_{DS} , CH4 = V_{GS} ; $V_{IN} = 300\text{ V}$, $V_{OUT} = 24\text{ V}$, $I_{OUT} = 4\text{ A}$, $F_S = 377\text{ kHz}$

通用 NCP5170 客户 EVB

通用评估板 (EVB) 旨在评估 NCP51705 在新设计或现有设计中的性能。EVB 不包括功率级，不专用于任何特定拓扑，由此可见它是通用的。它可用于任何低边或高边电源开关应用。对于桥接配置，可以用两个或者多个 EVB 组成图腾柱结构来驱动每个 SiC MOSFET。EVB 可被视为隔离器 + 驱动器 + TO-247 分立模块。EVB 原理图如图 30 所示。

重点是提供一种超紧凑的设计，其中 TO-247 SiC MOSFET 的引线可以直接连接到印刷电路板 (PCB)。图 31 同时显示了相邻 TO-247 封装旁边的 EVB 的顶视图和底视图进行尺寸缩放。

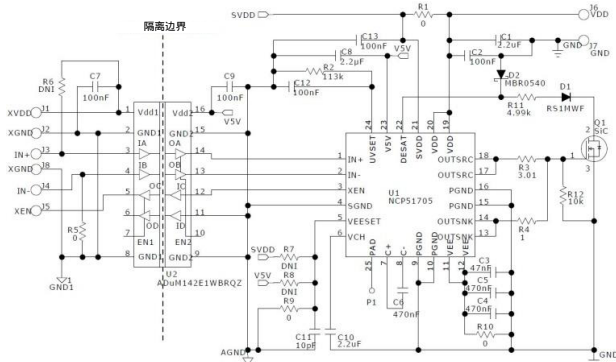


图 30. NCP5170 Mini EVB 原理图

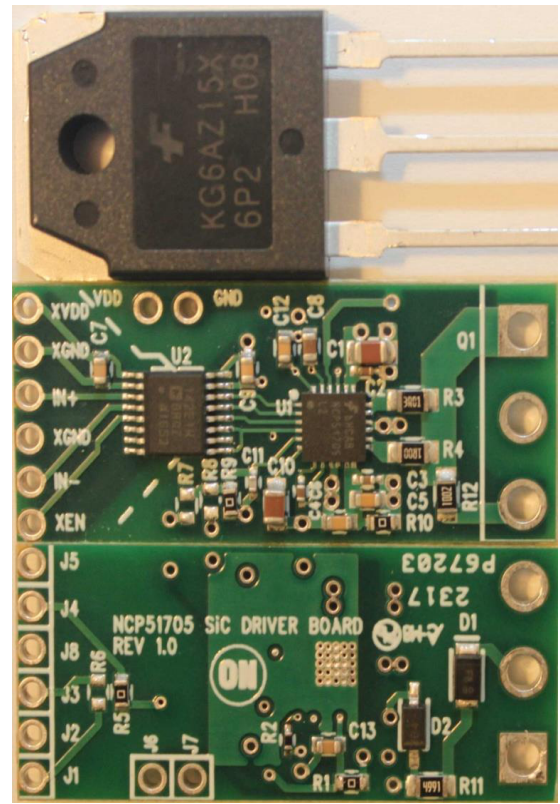


图 31. NCP5170 Mini EVB – 顶视图 (35 mm x 15 mm)

当安装到现有电源设计中，并且 TO-247 前面有可用的 PCB 区域时，EVB 可以水平安装到主电源板上，如图 32 所示。如果可能，这应该是首选的安装方法。

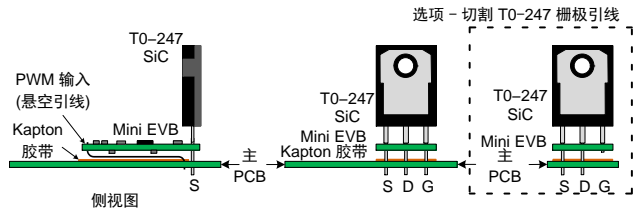


图 32. 水平 EVB 安装

如果主电源板上的大型组件妨碍水平安装，则第二种选择是垂直安装 EVB，使其与 TO-247 封装平行或略微倾斜。由于驱动器与 TO-247 漏极接头发出的高 dV/dt 非常接近，因此不太倾向于采用这种方式安装。在任何一种情况下，TO-247 封装的后接头都保持暴露状态，如有必要，可将其连接到散热片上。有关安装和操作详细信息，请参见 EVB 用户指南。

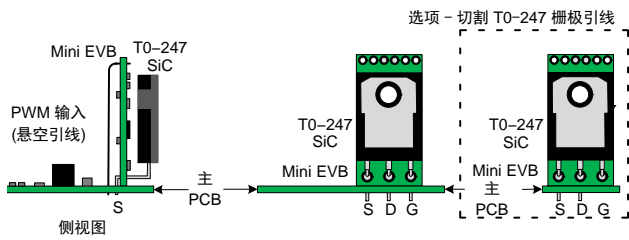


图 33. 垂直 EVB 安装

EVB 最初配置为接受正输入逻辑的 PWM 信号 (连接到 GND1 的 IN-)。但如果需要, IN- 可轻松用作主动启用或重新配置为反相输入逻辑。驱动器输出预配置为 $0\text{ V} < V_{\text{OUT}} < V_{\text{DD}}$ 开关。所有连接和电阻器占位符都可用于为 -3 V 、 -5 V 或 -8 V V_{EE} 开关重新配置 VEESET。最后, UVSET 选项被预编程为 17-V 导通操作, 这被认为是大多数 SiC MOSFET 的安全开通电压。

参数性能

使用众所周知的双脉冲测试平台对 MOSFET 和 IGBT 进行参数化表征。双脉冲测试方法基本会向被测器件 (DUT) 低边 SiC MOSFET 的栅极-源极施加两个脉冲。DUT 被插入到与图 34 所示的钳位电感开关电路相连的插座中。

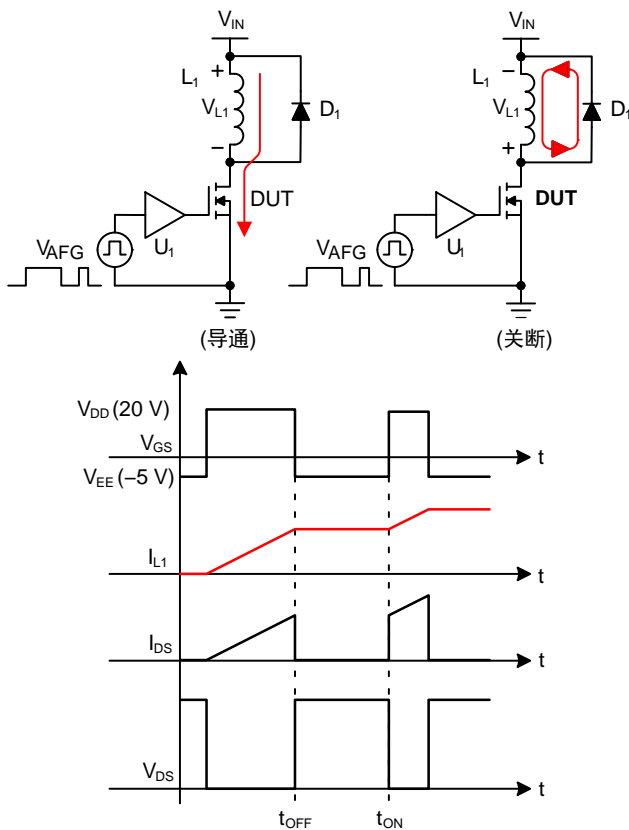


图 34. 双脉冲测试电路和波形

调整第一个脉冲的导通时间, 以获得所需的峰值漏极-源极电流。电感器很大, 关断时间足够短, 因此

I_{L1} 在关断续流期间几乎保持恒定。因此, 第二个更短的脉冲以相同的漏极-源极电流幅度施加。该测试方法可精确控制 I_{D} 和 V_{DS} , 这是建立动态开关、参数性能以及对器件进行对比测试所必需的。

双脉冲测试方法也可用于表征栅极驱动器性能。在 SiC、DUT 固定的情况下, 可以有各种栅极驱动电路组成 U_1 成为新的“DUT”。在图 30 和图 31 所示的 NCP51705 EVB 和图 35 所示的简单光耦合器栅极驱动电路之间, 对 dV/dt 和 dI/dt 开关性能进行了比较。

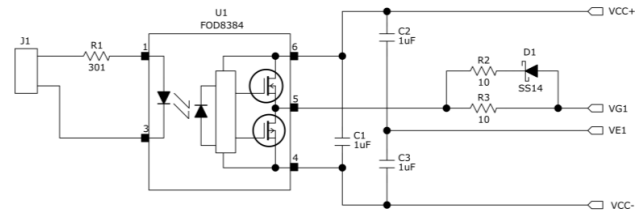


图 35. FOD8384 SiC 光耦合器栅极驱动电路

FOD8384 光耦合器驱动器能够承受高达 30 V 的 V_{DD} 偏压, 因此非常适合 $-5\text{ V} < V_{\text{GS}} < 20\text{ V}$ 开关。与图 8 中的示例类似, FOD8384 驱动器不是完整的 SiC MOSFET 栅极驱动电路。因此, 由于两种电路的特性没有可比性, 测试结果和比较仅限于动态开关。

图 36 和图 37 分别显示了两种电路的上升和下降 V_{GS} 波形, 以供比较。两种电路都使用了 $1\ \Omega$ 的灌和拉电阻。这些栅极驱动边缘被显示为驱动 1.2 kV 的 SiC MOSFET, V_{DS} 上电压为 600 V , 流过 I_{D} 的电流为 30 A 。NCP51705、 V_{GS} 上升沿在 $-5\text{ V} < V_{\text{GS}} < 10\text{ V}$ 时表现为纯电阻, 然后在 $10\text{ V} < V_{\text{GS}} < 20\text{ V}$ 时为电容性 RC 充电。这显示了 NCP51705、 6 APK 的灌电流与 FOD8384 的 1 APK 灌电流的比较情况。NCP51705 的 V_{GS} 上升时间为 37.5 ns , 而 FOD8384 开关在相同测试条件下则为 57.6 ns 。同样, NCP51705 的 V_{GS} 下降时间为 25.2 ns , 而 FOD8384 则为 34.5 ns 。

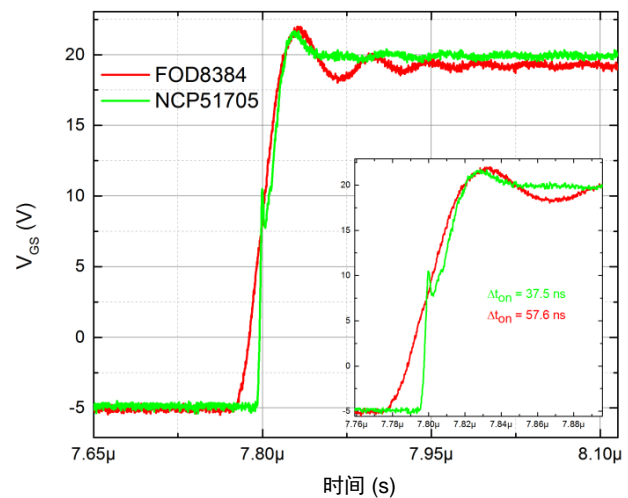


图 36. V_{GS} 上升沿比较

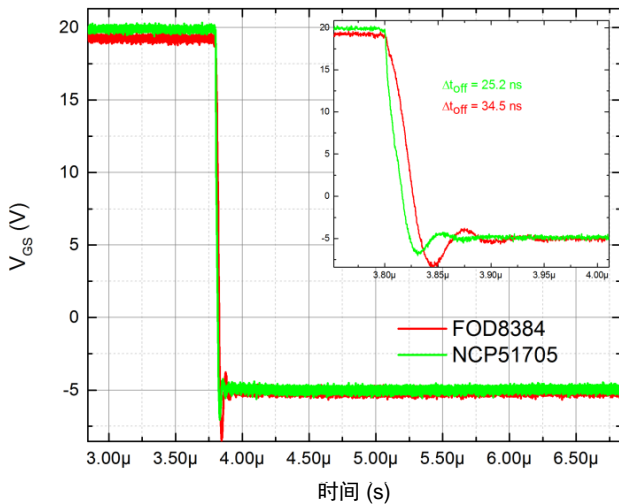


图 37. 下降沿比较

设计良好的栅极驱动器 IC 包括低源极和漏极阻抗，使得 SiC MOSFET 漏极可以由栅极精确控制。其次，最大限度地降低驱动器输出阻抗对于允许 SiC MOSFET 达到最高自然 dV/dt 至关重要。SiC MOSFET 的自然 dV/dt 限值与 $R_{LO} + R_{GATE} + R_{GI}$ 成反比。当 R_{LO} 高于必要值时，SiC MOSFET 的自然 dV/dt 限值降低。这使得器件更容易受到 dV/dt 引起的导通的影响，并限制了通过选择 R_{GATE} 可以实现的 dV_{DS}/dt 控制量。图 38 所示的 NCP51705 V_{DS} 波形揭示了改变 R_{GATE} 即可实现的高度 dV_{DS}/dt 控制。对于 $R_{GATE} = 1 \Omega$ ， $dV_{DS}/dt = 72 \text{ V/ns}$ 。将 R_{GATE} 从 1Ω 增加到 15Ω 会使 dV_{DS}/dt 从 72 V/ns 降低到 68 V/ns 。这表明，如果需要，可以使用高得多的 R_{GATE} 来逐步降低 dV_{DS}/dt 。

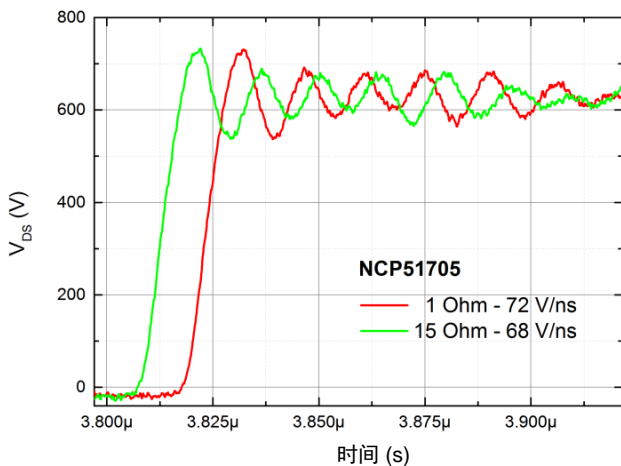


图 38. NCP51705 V_{DS} 上升沿，可变栅极电阻

使用 FOD8384 光耦合器栅极驱动器完成了相同的实验。从图 39 所示的波形中发现， R_{GATE} 从 1Ω 变成 15Ω 导致 dV_{DS}/dt 速率变化超过 2:1。由于 FOD8384

驱动器输出阻抗更高， dV_{DS}/dt 控制更受 R_{GATE} 较小变化的影响。此外，请注意，NCP51705 的 dV_{DS}/dt 上升相对而言更为线性。

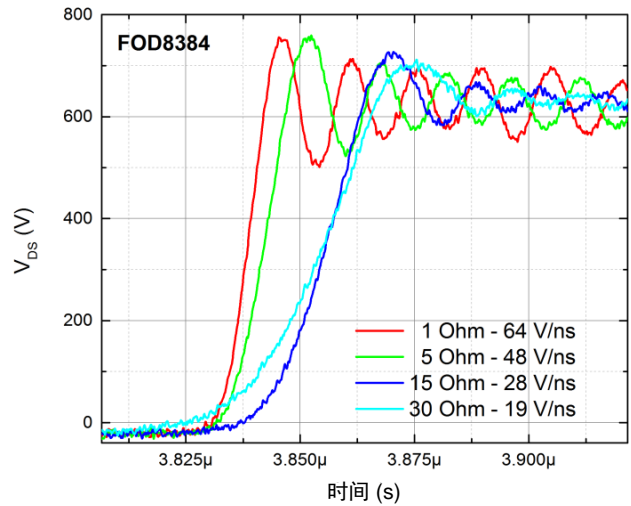


图 39. FOD8384 V_{DS} 上升沿，可变栅极电阻

图 40 所示的波形比较了在 $R_{GATE} = 1 \Omega$ 的情况下，从 $-5 \text{ V} < V_{GS} < 20 \text{ V}$ 切换相同负载的每个驱动器的 V_{DS} 。 dV_{DS}/dt 速率在 72 V/ns 与 64 V/ns 时表现相当。表现出更快的振铃衰减和更低的振铃振幅。

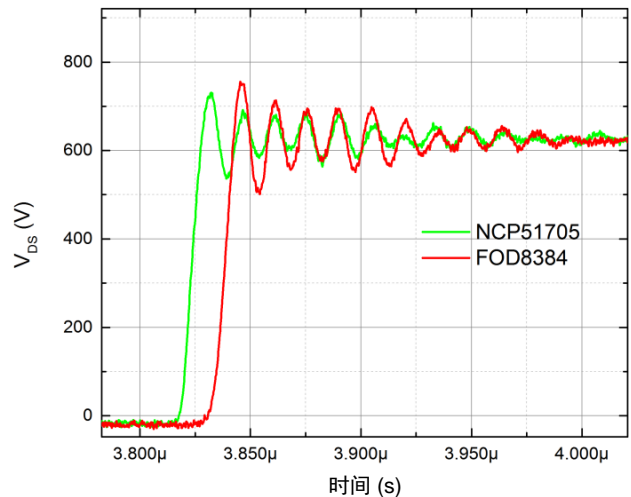


图 40. V_{DS} 上升沿比较， 1Ω 栅极电阻

NCP51705 实现 dV_{DS}/dt 控制的另一种方式是通过改变 V_{EE} 的负振幅电平。这可以通过根据表 3 配置 $VEESET$ 引脚或使用施加到 V_{EE} 的外部负 DC 电源来实现。图 41 中的波形显示了当 V_{EE} 在 $-6 \text{ V} < V_{EE} < 0 \text{ V}$ 之间变化时 dV_{DS}/dt 的变化。请注意在 $0 \text{ V} < V_{GS} < 20 \text{ V}$ 时低 V_{DS} 下的强拐点和电容特性。这是因为 SiC MOSFET 的一些剩余栅极电荷没有完全关断，并突出了在关断期间驱动 V_{GS} 负极的重要性。

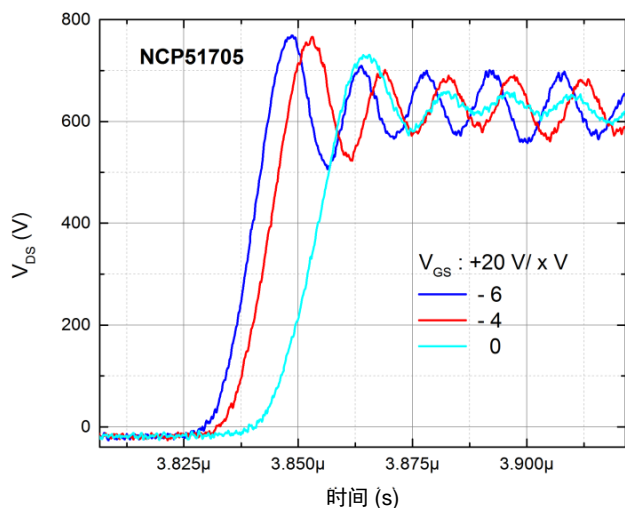


图 41. NCP51705 V_{DS} 上升沿, 可变 V_{GS}

图 42 所示的漏极电流测量是使用 Pearson 电流探头进行的。NCP51705 电流在 $dI_D/dt = 3.2 \text{ A/ns}$ 时下降, 但与 FOD8384 驱动电路相比, 表现出的振铃较少。NCP51705 更快的 dI_D/dt 与图 37 所示的 V_{GS} 下降沿波形密切相关。

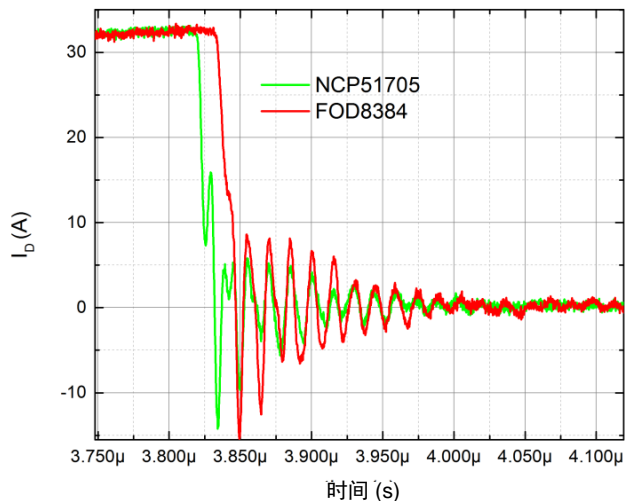


图 42. I_D 下降沿比较

双脉冲测试方法是传统上用于表征分立功率半导体器件的动态开关性能的测试程序。由于在导通和关断期间可以精确控制施加的 V_{DS} 和初始 I_D , 该测量技术已被证明是表征箝位电感开关应用电路中栅极驱动器 IC 性能的可靠方法。

结论

本文重点介绍了在设计高性能栅极驱动电路时必须考虑的 SiC MOSFET 的一些特性。对于栅极驱动来说, 与 SiC MOSFET 相关的低 g_m 或不那么大的跨导特性尤其棘手。通用低边栅极驱动器经常被使用, 但缺乏高效可靠地驱动 SiC MOSFET 的必要功能。SiC MOSFET 在市场中的广泛采用在某种程度上与其易用性有关。NCP51705 为设计人员提供了一种简单、高性能、高速的解决方案, 用于高效可靠地驱动 SiC MOSFET。

Steve Mappus 是位于美国新罕布什尔州贝德福德的安森美 (onsemi) 先进电源转换事业群的技术人员, 担任首席应用工程师。他现在负责与电源控制器和 MOSFET 栅极驱动 IC 相关的技术开发。他拥有超过 25 年的电源设计经验, 包括 10 年的航空电子军用和商用电源系统设计经验。在过去的 15 年里, 他一直在电源管理半导体领域工作, 专攻系统和应用工程。他感兴趣的领域包括大功率转换器拓扑结构、软开关转换器、同步整流、高频电源转换、WBG 器件和功率因数校正。

参考文献

- [1] “NCP5170 – SiC MOSFET Driver”, Datasheet, onsemi, August 2017
- [2] “NCP5170 Mini EVB”, User Guide, onsemi, August 2017

onsemi, Onsemi, and other names, marks, and brands are registered and/or common law trademarks of Semiconductor Components Industries, LLC dba “onsemi” or its affiliates and/or subsidiaries in the United States and/or other countries. onsemi owns the rights to a number of patents, trademarks, copyrights, trade secrets, and other intellectual property. A listing of onsemi’s product/patent coverage may be accessed at www.onsemi.com/site/pdf/Patent-Marking.pdf. onsemi reserves the right to make changes at any time to any products or information herein, without notice. The information herein is provided “as-is” and onsemi makes no warranty, representation or guarantee regarding the accuracy of the information, product features, availability, functionality, or suitability of its products for any particular purpose, nor does onsemi assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation special, consequential or incidental damages. Buyer is responsible for its products and applications using onsemi products, including compliance with all laws, regulations and safety requirements or standards, regardless of any support or applications information provided by onsemi. “Typical” parameters which may be provided in onsemi data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including “Typicals” must be validated for each customer application by customer’s technical experts. onsemi does not convey any license under any of its intellectual property rights nor the rights of others. onsemi products are not designed, intended, or authorized for use as a critical component in life support systems or any FDA Class 3 medical devices or medical devices with a same or similar classification in a foreign jurisdiction or any devices intended for implantation in the human body. Should Buyer purchase or use onsemi products for any such unintended or unauthorized application, Buyer shall indemnify and hold onsemi and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that onsemi was negligent regarding the design or manufacture of the part. onsemi is an Equal Opportunity/Affirmative Action Employer. This literature is subject to all applicable copyright laws and is not for resale in any manner.

ADDITIONAL INFORMATION

TECHNICAL PUBLICATIONS:
 Technical Library: www.onsemi.com/design/resources/technical-documentation
 onsemi Website: www.onsemi.com

ONLINE SUPPORT: www.onsemi.com/support
 For additional information, please contact your local Sales Representative at www.onsemi.com/support/sales